

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年10月13日 (13.10.2005)

PCT

(10) 国際公開番号
WO 2005/096335 A1(51) 国際特許分類⁷: H01J 1/312, 9/02, 31/12

(21) 国際出願番号: PCT/JP2005/005643

(22) 国際出願日: 2005年3月22日 (22.03.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-097469 2004年3月30日 (30.03.2004) JP

(71) 出願人(米国を除く全ての指定国について): パイオニア株式会社 (PIONEER CORPORATION) [JP/JP]; 〒1538654 東京都目黒区目黒1丁目4番1号 Tokyo (JP). パイオニア・マイクロ・テクノロジー株式会社 (PIONEER MICRO TECHNOLOGY CORPORATION) [JP/JP]; 〒4000053 山梨県甲府市大里町465 Yamanashi (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 酒村一到 (SAKEMURA, Kazuto) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社 総合研究所内 Saitama (JP). 麻生三郎 (ASO, Saburo) [JP/JP]; 〒4000053 山梨県甲府市大里町465番地 パイオニア・マイクロ・テクノロジー株式会社内 Yamanashi (JP). 塙原甲二 (HANIHARA, Koji) [JP/JP]; 〒4000053

山梨県甲府市大里町465番地 パイオニア・マイクロ・テクノロジー株式会社内 Yamanashi (JP). 根岸伸安 (NEGISHI, Nobuyasu) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社 総合研究所内 Saitama (JP). 中田智成 (NAKADA, Tomonari) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社 総合研究所内 Saitama (JP). 吉川高正 (YOSHIKAWA, Takamasa) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社 総合研究所内 Saitama (JP).

(74) 代理人: 藤村元彦 (FUJIMURA, Motohiko); 〒1040045 東京都中央区築地4丁目1番17号 銀座大野ビル 藤村国際特許事務所 Tokyo (JP).

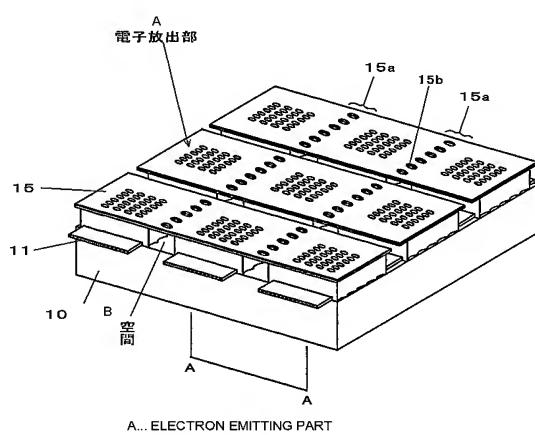
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

/ 続葉有 /

(54) Title: ELECTRON EMITTING DEVICE AND MANUFACTURING METHOD THEREOF AND IMAGE PICK UP DEVICE OR DISPLAY DEVICE USING ELECTRON EMITTING DEVICE

(54) 発明の名称: 電子放出装置及びその製造方法並びに電子放出装置を用いた撮像装置又は表示装置



(57) Abstract: An electron emitting device is composed of a plurality of electron emitting elements. The electron emitting element is provided with a lower electrode (11) and an upper electrode (15) and emits an electron from an upper electrode side. In the electron emitting device, a space is formed between the electron emitting elements and the upper electrode extends over the space on a bridge part (15a). The space is formed by providing a through hole or a notched part (15a) on the bridge part, and etching a stacked body under the upper electrode by using the bridge part as a mask. The upper electrodes of the adjacent electron emitting elements are electrically connected by the bridge part without bringing the upper electrodes into contact with the electron emitting element side planes and a substrate. Therefore, a current path can be shortened and a possibility of disconnection can be reduced.

/ 続葉有 /

WO 2005/096335 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

本願は、電子放出装置及びその製造方法に関し、下部電極（11）及び上部電極（15）を有し、上部電極側から電子を放出する複数の電子放出素子からなる電子放出装置であって、電子放出素子同士の間に空間が形成され、上部電極が上記空間をブリッジ部（15a）において跨いで延在する電子放出装置、及び当該電子放出装置を製造するにあたって、ブリッジ部に貫通孔又は切欠部（15a）を設けて、ブリッジ部をマスクとして上部電極の下の積層体をエッチングすることで上記空間を形成する製造方法を開示する。

上記電子放出素子によれば、ブリッジ部によって、隣接する電子放出素子の上部電極同士を電子放出素子側面及び基板に接触させることなく電気的に接続できるため、電流経路を短縮し断線の可能性を減少させることができる。

明細書

電子放出装置及びその製造方法

並びに

5 電子放出装置を用いた撮像装置又は表示装置

技術分野

本発明は、電子源である電子放出素子及びこれを用いた撮像装置又は表示装置などの電子装置に関し、特に電子放出素子の複数をアレイ配列にした電子装置の
10 配線構造に関する。

背景技術

従来から面電子源の電子放出素子の構造として、金属－絶縁体－半導体（M I
S）型、金属－絶縁体－金属（M I M）型などが知られている。
例えば、M I M構造の電子放出素子の一例では、基板上に下部電極、絶縁体層、
15 上部電極を順に積層した構造を有するものがある。これを真空中で対向電極の下
に配置して下部電極と上部電極の間に所定電圧を印加すると、電子の一部が上部
電極から真空中へ飛び出す。

電子放出素子において、図1に示されるような、基板510上に形成された電子放出部の下部電極511上のトンネル絶縁層512の周囲に保護絶縁層514（トンネル絶縁層膜厚よりも厚い膜厚を有する）を形成して覆い、保護絶縁層
20 514上に上部電極513に接続するバスライン515を形成するM I M構造
が提案されている（特開平11-120898号公報参照）。

上部電極 513 の厚さは数～数十 nm である。バスライン 515 は、積層された下部電極 511、トンネル絶縁層 512 及び保護絶縁層 514 に起因する段差部分を跨いで形成される。よって、この段差部分でのバスライン 515 の断線が問題となる。また、段差部分での上部電極膜厚が不均一に薄くなり高抵抗化による電界の不均一を生じて上部電極の破壊が起こる可能性がある。

段差部分でのバスラインの断線問題を解決する方法として、表示装置に用いられる電子放出素子のマトリクス配置構造が知られている（特開平 11-185675 号公報参照）。この技術では、基板 10 上の下部電極 11 上に並べられた電子放出素子 S の間隙に絶縁性支持部 17 を設け、その上に金属薄膜電極 15 に接続されたバス電極 16 を設けている。この技術では、電子放出素子 S 間の凹部に絶縁物を供給し絶縁性支持部 17 を設けようとする場合、絶縁物の安定した供給方法が問題となる。

発明の開示

そこで、本発明の解決しようとする課題には、素子間の断線問題がなく、安定的に電子の放出可能な電子放出装置及びこれを用いた撮像装置又は表示装置などの電子装置、並びに電子放出素子の複数を例えばマトリクス状などの配列にした装置の配線構造を提供することが一例として挙げられる。

本発明の電子放出装置は、各々が基板に近い側の下部電極及び前記基板に遠い側の上部電極を有する複数の電子放出素子からなる電子放出装置であって、前記電子放出素子同士の間に空間が形成されており、前記上部電極は前記複数の電子放出素子に亘りかつ前記空間をそのブリッジ部によって跨いで延在していることを特徴とする。

本発明の電子放出装置の製造方法は、各々が基板に近い側の下部電極及び前記基板に遠い側の上部電極を有し、前記上部電極側から電子を放出する複数の電子放出素子からなり、前記電子放出素子同士の間に空間が形成されており、前記上部電極は前記複数の電子放出素子に亘りかつ前記空間をそのブリッジ部によつて跨いで延在している電子放出装置の製造方法であって、

5 基板上に前記複数の電子放出素子を構成するため上部電極の材料層が積層された積層体を形成する電子放出部形成工程と、

複数の電子放出素子に区切るべき線に沿って少なくとも1つの貫通孔又は切欠部が設けられた複数のブリッジ部を、エッチングによって前記上部電極の材料

10 層から形成するブリッジ形成工程と、

前記ブリッジ部をマスクとして、露出した前記積層体の部分を異方性エッチングによって前記基板及び下部電極又はそれらの近傍まで食刻する切削工程と、

前記ブリッジ部をマスクとして、露出した前記積層体の部分を等方性エッチングによって食刻し空間を拡張して前記複数の電子放出素子に分離する分離工程

15 と、を含むことを特徴とする。

本発明の撮像素子は、請求の範囲の請求項1～16のいずれかに記載の電子放出装置と、前記上部電極に真空間間を挟み略平行に対向する光電変換膜と、前記光電変換膜に積層された光透過性電導膜と、前記光電変換膜及び前記光透過性電導膜を保持する光透過性の前面基板と、からなることを特徴とする。

20 本発明の表示装置は、請求の範囲の請求項1～16のいずれかに記載の電子放出装置と、前記上部電極に真空間間を挟み対向しつつ前記真空間側の表面に配置された蛍光体層及び前記蛍光体層上に形成され前記上部電極に対向したコレ

クタ電極を有する光透過性の前面基板と、からなることを特徴とする。

図面の簡単な説明

図1及び図2は、従来の電子放出素子の概略拡大部分斜視図である。

図3は、本発明による実施形態の電子放出装置の部分拡大断面図である。

5 図4は、本発明による実施形態の電子放出装置の部分拡大斜視図である。

図5は、図4における線AAに沿った概略部分拡大断面斜視図である。

図6～図17は、本発明による実施形態の電子放出装置の製造工程における素子基板の部分拡大斜視図である。

図18は、本発明による実施形態の電子放出装置の製造工程における素子基板10の部分拡大断面図である。

図19は、本発明による実施形態の電子供給層を分離した素子と電子供給層を分離していない素子の電流電圧特性を示すグラフである。

図20は、本発明による他の実施形態の電子放出素子における上部電極の部分拡大平面図である。

15 図21及び図22は、本発明による他の実施形態の電子放出素子の製造方法における素子基板の部分拡大斜視図である。

図23及び図24は、本発明による他の実施形態の電子放出素子における上部電極の部分拡大平面図である。

20 図25は、本発明による実施例の電子放出装置における電子放出素子の部分拡大断面図である。

図26は、本発明による実施形態の電子放出素子を用いた撮像素子の部分分解拡大斜視図である。

図27は、本発明による他の実施形態の電子放出素子を適用したフラットパネルディスプレイ装置のパネル部の部分分解拡大斜視図である。

発明を実施するための形態

以下、本発明の実施の形態について図面を参照しつつ説明する。

5 (電子放出装置)

図3は、電子放出装置の一例の概略断面図を示す。電子放出装置は基板10上に形成された複数の電子放出素子Sからなり、各電子放出素子Sは基板に近い側の下部電極11上に順に積層形成された電子供給層12、絶縁体層13及び上部電極15からなる。電子放出素子では、下部電極及び上部電極間への所定電圧印加時に、電子が上部電極側から放出される。基板に遠い側の上部電極15には、同一材料で一体的に形成されたブリッジ部15aが、隣接する電子放出素子の間に存在する空間上に架設されるように、基板に略平行に伸長して設けられている。すなわち、上部電極15が複数の電子放出素子Sに亘りかつ素子間の空間をそのブリッジ部15aによって跨いで延在している。ブリッジ部15aは、隣接する電子放出素子Sの上部電極15を、電子放出素子S側面及び基板に接触することなく、電気的に接続する。空間上に架設されたブリッジ部15aにより、電流経路が短縮され、さらに断線の可能性が減少する。図3に示される例では、絶縁体層13及び上部電極15の積層体がブリッジ部15aを構成している。ブリッジ部の絶縁体層部分は上部電極の補強に効果がある。ブリッジ部の上部電極部分が強度を保てるかぎり、絶縁体層13を省略してもよい。さらに、上部電極15を多層構造としても構成できる。

図4に示すように、電子放出装置では、複数の電子放出素子を例えばマトリク

ス状などに配列することができる。すなわち、ブリッジ部 15a で接続された上部電極 15 と下部電極 11 とはそれぞれストライプ状の電極とし、かつ互いに直交する位置に配列される。電子放出素子 S はストライプの交点位置に配置される。図 4 に示すように、空間上のブリッジ部 15a の部分には、複数の貫通孔 15b が設けられている。貫通孔 15b は、ブリッジ部 15a 自体の形状を維持するために必要な強度を有し、必要な電気抵抗値を維持する限り、少なくとも 1 つあればよい。

各電子放出素子 S は、図 5 に示すように、絶縁体層 13 及び上部電極 15 の膜厚が電子供給層 12 に向かって漸次減少する複数の島領域 14 から構成される。なお、各電子放出素子 S に島領域 14 は少なくとも 1 つあればよい。島領域 14 において、絶縁体層 13 及び上部電極 15 の膜厚は、その中央に向け共に漸次減少する。このように、例えば、島領域 14 は上部電極 15 の平坦表面における凹部として形成されている。島領域 14 においては、上部電極 15 が絶縁体層 13 上の縁部で終端している。また、島領域 14 における絶縁体層 13 は電子供給層 12 上の縁部で終端している。よって、上部電極 15 と電子供給層 12 とは短絡しない

電子放出素子 S は、素子基板 10 上に、下部電極 11、電子供給層 12、絶縁体層 13、上部電極 15 が順に積層された積層構造の実施形態の例である。素子基板 10 の材質はガラスの他に、 Al_2O_3 、 Si_3N_4 、BNなどのセラミックでも良い。 Si ウエハ上を SiO_2 などの絶縁膜で被覆したウエハも基板として用いられ得る。

下部電極 11 は単層又は多層からなり、例えばアルミニウム (Al)、タング

ステン (W)、窒化チタン (TiN)、銅 (Cu)、クロム (Cr) などからなる。

電子供給層 12 はシリコン (Si) 又は Si を主成分とする混合物若しくはその化合物などのアモルファス相の半導体からなる。電子供給層 12 の材料としてはスパッタリング法やCVD法により成膜したIIIB族あるいはVB族の元素をドープしたアモルファスシリコン (a-Si) が特に有効であるが、a-Si のダングリングポンドを水素 (H) で終端させた水素化アモルファスシリコン (a-Si:H)、さらにSiの一部を炭素 (C) で置換した水素化アモルファスシリコンカーバイト (a-SiC:H) や、Siの一部を窒素 (N) で置換した水素化アモルファスシリコンナイトライド (a-SiN:H) などの化合物半導体も用いられる。

絶縁体層 13 の誘電体材料としては、酸化シリコン SiO_x (x は原子比を示す) が特に有効であるが、

LiO_x 、 LiN_x 、 NaO_x 、 KO_x 、 RbO_x 、 CsO_x 、 BeO_x 、 MgO_x 、 MgN_x 、 CaO_x 、 CaN_x 、 SrO_x 、 BaO_x 、 ScO_x 、 YO_x 、 YN_x 、 LaO_x 、 LaN_x 、 CeO_x 、 PrO_x 、 NdO_x 、 SmO_x 、 EuO_x 、 GdO_x 、 TbO_x 、 DyO_x 、 HoO_x 、 ErO_x 、 TmO_x 、 YbO_x 、 LuO_x 、 TiO_x 、 ZrO_x 、 ZrN_x 、 HfO_x 、 HfN_x 、 ThO_x 、 VO_x 、 VN_x 、 NbO_x 、 NbN_x 、 TaO_x 、 TaN_x 、 CrO_x 、 CrN_x 、 MoO_x 、 MoN_x 、 WO_x 、 WN_x 、 MnO_x 、 ReO_x 、 FeO_x 、 FeN_x 、 RuO_x 、 OsO_x 、 CoO_x 、 RhO_x 、 IrO_x 、 NiO_x 、 PdO_x 、 PtO_x 、 CuO_x 、 CuN_x 、 AgO_x 、 AuO_x 、 ZnO_x 、 CdO_x 、 HgO_x 、 BO_x 、 BN_x 、 AlO_x 、 AlN_x 、 GaO_x 、 GaN_x 、 InO_x 、 SiN_x 、 GeO_x 、 SnO_x 、 PbO_x 、 PO_x 、 P

N_x、AsO_x、SbO_x、SeO_x、TeO_xなどの酸化物又は窒化物でもよい。

また、LiAlO₂、Li₂SiO₃、Li₂TiO₃、Na₂Al₂₂O₃₄、NaFeO₂、Na₄SiO₄、K₂SiO₃、K₂TiO₃、K₂WO₄、Rb₂CrO₄、
 5 CS₂CrO₄、MgAl₂O₄、MgFe₂O₄、MgTiO₃、CaTiO₃、CaWO₄、CaZrO₃、SrFe₁₂O₁₉、SrTiO₃、SrZrO₃、BaA₁₂O₄、BaFe₁₂O₁₉、BaTiO₃、Y₃Al₅O₁₂、Y₃Fe₅O₁₂、LaFeO₃、La₃Fe₅O₁₂、La₂Ti₂O₇、CeSnO₄、CeTiO₄、Sm₃Fe₅O₁₂、EuFeO₃、Eu₃Fe₅O₁₂、GdFeO₃、Gd₃Fe₅O₁₂、
 10 DyFeO₃、Dy₃Fe₅O₁₂、HoFeO₃、Ho₃Fe₅O₁₂、ErFeO₃、Er₃Fe₅O₁₂、Tm₃Fe₅O₁₂、LuFeO₃、Lu₃Fe₅O₁₂、NiTiO₃、Al₂TiO₃、FeTiO₃、BaZrO₃、LiZrO₃、MgZrO₃、
 HfTiO₄、NH₄VO₃、AgVO₃、LiVO₃、BaNb₂O₆、NaNbO₃、SrNb₂O₆、KTaO₃、NaTaO₃、SrTa₂O₆、CuCr₂O₄、
 Ag₂CrO₄、BaCrO₄、K₂MoO₄、Na₂MoO₄、NiMoO₄、Ba₁₅WO₄、Na₂WO₄、SrWO₄、MnCr₂O₄、MnFe₂O₄、MnTiO₃、
 MnWO₄、CoFe₂O₄、ZnFe₂O₄、FeWO₄、CoMoO₄、Co₃TiO₃、CoWO₄、NiFe₂O₄、NiWO₄、CuFe₂O₄、CuMoO₄、
 CuTiO₃、CuWO₄、Ag₂MoO₄、Ag₂WO₄、ZnAl₂O₄、ZnMoO₄、ZnWO₄、CdSnO₃、CdTiO₃、CdMoO₄、CdWO₄、
 20 CaAlO₂、MgAl₂O₄、SrAl₂O₄、Gd₃Ga₅O₁₂、InFeO₃、MgIn₂O₄、Al₂TiO₅、FeTiO₃、MgTiO₃、Na₂SiO₃、CaSiO₃、ZrSiO₄、K₂GeO₃、Li₂GeO₃、Na₂GeO₃、Bi₂S

Sn_3O_9 、 MgSnO_3 、 SrSnO_3 、 PbSiO_3 、 PbMoO_4 、 PbTiO_3 、 $\text{SnO}_2-\text{Sb}_2\text{O}_3$ 、 CuSeO_4 、 Na_2SeO_3 、 ZnSeO_3 、 K_2TeO_3 、 K_2TeO_4 、 Na_2TeO_3 、 Na_2TeO_4 などの複合酸化物、 FeS 、 Al_2S_3 、 MgS 、 ZnS などの硫化物、

5 LiF 、 MgF_2 、 SmF_3 などのフッ化物、
 HgCl_1 、 FeCl_2 、 CrCl_3 などの塩化物、
 AgBr 、 CuBr 、 MnBr_2 などの臭化物、
 PbI_2 、 CuI 、 FeI_2 などのヨウ化物、
 LaB_6 、 CeB_6 などのランタノイド硼化合物、

10 TiB_2 、 ZrB_2 、 HfB_2 などの金属硼化物、

又は、 SiAlON などの酸化窒化物でも絶縁体層13の誘電体材料として有効である。

また、ダイヤモンド、フラーレン(C_{2n})からなる炭素絶縁物も有効である。絶縁体層の島領域14以外の平坦部分の厚さは、50nm以上が好ましいが、更に好適な厚さの範囲は、素子の静電容量、主マスクの大きさ及びブリッジ部の強度から決定される。

素子平坦部において上部電極と電子供給層にはさまれた絶縁体層は静電容量を形成する。この静電容量の値が大きいと素子の高速動作に対する妨げとなり、特に光電変換膜と組合せて撮像装置を構成する場合に顕著となる。この観点から20は、絶縁体層は厚い方が好ましい。一方、素子の電子放出量(エミッション電流)を大きくするには、電子放出部の面密度(単位面積当たりの電子放出部の数)を増やすことが有効であるが、絶縁体層を厚くすることはこの面密度を高くする妨

げとなる。これは、電子放出部（いわゆる島領域）14を形成する際に図11に示した支持部P及び主マスク部MからなるマイクロマスクMMを遮蔽体として用いるためである。絶縁体層が厚いと支持部Pを高くする必要が生じ、その結果主マスク部Mの径を大きくせざるを得ず、上記面密度が得られなくなる。また、
5 隣接する電子放出素子間の空間を跨いで延在するブリッジ部がその形状を維持するために必要な強度を得るためには、絶縁体層の膜厚が厚い程有利となる。こうして決定される好適な絶縁体層の厚さは100～1000nm程度である。

薄膜として成膜される上部電極15の材料としては融点が極めて高いタングステン(W)が特に有効であるが、融点の高いモリブデン(Mo)レニウム(R
10 e)、タンタル(Ta)、オスミウム(Os)、イリジウム(Ir)、ルテニウム(Ru)、ロジウム(Rh)、バナジウム(V)、クロム(Cr)、ジルコニウム(Zr)、
15 プラチナ(Plt)、チタン(Ti)、パラジウム(Pd)、鉄(Fe)、イットリウム(Y)、コバルト(Co)、ニッケル(Ni)も有効であり、Au、Be、B、C、Al、Si、Sc、Mn、Cu、Zn、Ga、Nb、Tc、Ag、Cd、In、Sn、Tl、Pb、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luなども用いられ得る。また、これらの金属の合金や例えばLaB₆、CeB₆、TiB₂、ZrB₂、HfB₂などの導電性を有する化合物も用いられ得る。上部電極15の電子放出部以外の平坦部分での膜厚は10nm以上が好ましいが、更に好適な厚さの範囲は、上部電極の抵抗、
20 主マスクの大きさ及びバス電極の付加の有無から決定される。

素子平坦部において上部電極は導線の役割を担っている。このため、上部電極の抵抗が少ない方が好ましく、すなわち膜厚は厚い方が望ましい。一方、素子の

電子放出量（エミッション電流）を大きくするには、電子放出部の面密度（単位面積当たりの電子放出部の数）を増やすことが有効であるが、上部電極を厚くすることはこの面密度を高くする妨げとなる。これは、電子放出部（いわゆる島領域）14を形成する際に図11に示した支持部P及び主マスク部MからなるマイクロマスクMMを遮蔽体として用いるためである。上部電極が厚いと支持部Pを高くする必要が生じ、その結果主マスク部Mの径を大きくせざるを得ず、上記面密度が得られなくなる。また、上部電極の膜厚は薄いままで素子平坦部の上部電極相当部の抵抗を下げる方法としては、電子放出部以外の平坦部のみにバス電極を導入することも有効である。この方法を用いれば、上部電極の平坦部での膜厚を薄くすることも可能である。こうして決定される好適な上部電極の厚さは5～1000nmである。

電子放出素子の製造における成膜法としては物理堆積法又は化学堆積法が用いられる。物理堆積法はPVD (physical vapor deposition) 法として知られ、これには真空蒸着法、分子線エピタキシー (molecular beam epitaxy) 法、スパッタリング法、イオン化蒸着法、レーザアブレーション法などがある。化学堆積法はCVD (chemical vapor deposition) 法として知られ、これには熱CVD法、プラズマCVD法、MOCVD (metal-organic chemical vapor deposition) 法などがある。これらの中で、スパッタリング法が特に有効である。電子供給層は、スパッタリング法（反応スパッタリングを含む）を用いてガス圧0.1～100mTorr好ましくは0.1～20mTorr、成膜レート0.1～1000nm/muin好ましくは0.5～100nm/muinのスパッタリング条件で成膜される。

さらに、電子放出素子Sにおいて、その上部の少なくとも凹部の島領域14上に炭素又は炭素を成分とする混合物若しくは炭素化合物からなる炭素領域(図示せず)が成膜されてもよい。また、作製時に上下電極間の所定電圧による通電処理により、発生するジュール熱を利用して、電子供給層12の一部などを非結晶相から結晶化させてもよい。

5 炭素領域の材料として無定形炭素、グラファイト、カルビン、フラーレン(C_{2n})、ダイヤモンドライクカーボン、カーボンナノチューブ、カーボンナノファイバー、カーボンナノホーン、カーボンナノコイル、カーボンナノプレート、ダイヤモンド、などの形態の炭素、或いは、ZrC、SiC、WC、MoCなどの
10 炭素化合物が有効である。

炭素領域を薄膜として形成する方法は、例えば真空チャンバに設けられた炭素ターゲットを有するスパッタリング装置などにより、凹部島領域と上部電極上に一様に積層、形成することができる。この場合、炭素は主として無定形炭素、グラファイト、ダイヤモンドライクカーボンといった形態をとる。一方、炭素領域の炭素がカーボンナノチューブ、カーボンナノファイバー、カーボンナノホーン、カーボンナノコイル、カーボンナノプレートの形態の場合はCVD法が有効である。この場合、上部電極の表層のFe、Ni、Coを主成分とする触媒層を設けておくと良い。または炭素の形態によらず印刷法も炭素領域の形成法として有効である。

20 (電子放出装置の製造方法)

図4に示した電子放出素子がマトリクス状に配置された電子放出装置の製造方法を一例として概略説明する。

(基板上に複数の電子放出素子を構成する電子放出部形成工程)

まず、基板上に複数の電子放出素子を構成する積層体を形成し、島領域を電子放出部として形成する。

図 6 に示すように、清浄な基板 10 を用意し、その正面に例えば Cr/Cu/

5 Cr/TiN の 4 層からなる下部電極 11 をストライプ状に成膜する。

次に、図 7 に示すように、基板 10 及び下部電極 11 上にスパッタリングにより例えば Si からなる電子供給層 12 を一様に形成して、ストライプ状の下部電極を覆う。シリコンの他に、シリコンを主成分とする混合物若しくはその化合物からなる電子供給層を基板上に形成することもできる。

10 次に、各々が電子供給層上に接触する部分周りに影を形成する複数の遮蔽体を電子供給層上に形成する。遮蔽体としては積層体のエッチングレートの差を利用して傘構造を持ったマイクロマスクを用いる。マイクロマスクは、所定面積を有する上部の主マスク部とそれを支持する当該所定面積より小なる横断面積を有する支持部からなる。

15 マイクロマスクの形成方法は、次のとおりである。

図 8 に示すように、CVD などで電子供給層 12 上にマイクロマスクの支持部の材料である例えば窒化シリコン SiN_x の支持部材料層 133 を成膜し、その上にマイクロマスクの主マスク部の材料である例えば酸化シリコン SiO_x の主マスク部材料層 134 を成膜する。

20 その後に、図 8 に示すように、レジストマスク R を主マスク部材料層 134 上に形成する。すなわち、レジストを塗布し、所定パターンで、露光、現像によりパターニングを行う。この工程は通常のフォトリソグラフィ法と同様のレジスト

塗布、露光、現像のプロセスからなる。また、電子ビームリソグラフィ法を用いれば、より微細なパターニングができる。レジストマスクRは、下部電極11上方であり、後に形成される上部電極のストライプと交差すべき領域内に配置される。主マスク部に対応するレジストマスクRは円形の他に、多角形あるいは曲線と直線で構成される形でもよい。

その後、図9に示すように、反応イオンエッティングなどの異方性エッティングを行う。レジストマスクRの残っているところはエッティングガスから保護され、レジストマスクRの残っていないところのみ膜面に垂直方向に主マスク部材料層134がエッティングされる。このドライエッティングは支持部材料層133の途中10まで行う。

次に、図10に示すように、熱リン酸溶液でウェットエッティング（等方性エッティング）を行う。ここで、酸化シリコンと窒化シリコンのエッティング比は1:50であり、酸化シリコンはほとんどエッティングされない。図10に示すように、等方エッティングにより支持部材料層133は、主マスク部材料層134下の膜面15にて水平方向にも痩せてくる。その後、電子供給層12が露出し、残っている支持部材料層133の形（支持部）が適当になったところでウェットエッティングを止める。

次に、アッシングにより主マスク部の上部に残ったレジストマスクRを除去すると、図11に示すように、電子供給層12上に、形成すべき島領域に対応する部位に、各々が窒化シリコンの支持部P及び酸化シリコンの主マスク部Mからなる複数のマイクロマスクMMが形成される。

このようにして、遮蔽体形成工程において、基板上に支持部材料層及び主マス

ク部材料層を成膜し、その上にフォトリソグラフィ法によってレジストマスクを形成し、さらに、ドライエッチング法及びウェットエッチング法によって、主マスク部及び支持部を順に食刻して、マイクロマスクMMを形成する。マイクロマスクMMは遮蔽体として、基板及び電子供給層の法線方向に突出する支持部（オーバーハング部）と、支持部から基板及び電子供給層に平行な方向に突出する主マスク部とから構成される。マイクロマスクMMの支持部材料層はウェットエッチング可能な材料に限らないが、少なくとも等方性エッチング可能な材料から選択される。なお、マイクロマスクMMを電気絶縁性の遮蔽体として、これらを除去せずに残しても、最終製品としてマイクロマスクMMを有する電子放出装置と

10 することができる。

その後、図12に示すように、電子供給層12及びマイクロマスクMM上に酸化シリコン SiO_x をスパッタリングにより一様に堆積させ、絶縁体の薄膜からなる絶縁体層13を形成する。ここで、電子供給層12及びマイクロマスクMMの接触部分の周りには絶縁体ガス（粒子）が回り込み、絶縁体層13の所定膜厚から漸次膜厚が減少する絶縁体層部分が形成される。膜厚が漸次減少する絶縁体層部分は主マスク部M下における電子供給層12上で終端してその縁部（膜厚はほぼオングストローム程度）が形成される。

次に、図12に示すように、絶縁体層13及びマイクロマスクMM上にタンクステンWをスパッタリングにより一様に堆積させ上部電極15を形成する。ここで、金属は絶縁体層13及び主マスク部M間の隙間から支持部Pの接触部分の周辺へ回り込み、上部電極15の所定膜厚から漸次膜厚が減少する上部電極部分が形成される。膜厚が漸次減少する上部電極部分は主マスク部M下における絶縁体

層 1 3 上で終端してその縁部(膜厚はほぼオングストローム程度)が形成される。このように、マイクロマスク MM の支持部 P の中心方向に向かって、絶縁体層 1 3 及び上部電極 1 5 の膜厚が連続的に薄くなっている。結果として、凹部である島領域 1 4 は、絶縁体層 1 3 及び上部電極 1 5 内のマイクロマスク MM 下の接触面周囲に形成される。ここで、マイクロマスク MM の主マスク部 M が露出するような、すなわち上部電極 1 5 の材料に完全に埋没しないような大きさ、厚さとなるように、主マスク部材料層 1 3 4 及び支持部材料層 1 3 3 の膜厚は設定されてある。

次に、熱リン酸溶液でウェットエッチングを行い、窒化シリコンの支持部とともにマイクロマスクを除去する。図 1 3 に示すように、電子放出部を構成する複数の島領域 1 4 が凹部として現れる。

この島領域の電子放出部の形成方法は、マイクロマスク MM の主マスク部 M と支持部 P の面積及び太さがパターニングで決まるので、形成のための制御が容易である。ゴブレット足状の支持部 P が倒れたりしないので、安定性に優れる。さらに、支持部 P の太さを、材料の膜厚と主マスク部 M の面積とウェットエッチの時間により容易に制御できる。

(ブリッジ部形成工程)

次に、エッチング法によって、島領域が形成された積層体を複数の電子放出素子に区切るために、少なくとも 1 つの貫通孔又は切欠部が設けられた複数のブリッジ部を、積層体上上部電極材料層から形成する。

図 1 4 に示すように、島領域が形成された上部電極 1 5 上に、レジストを一様に塗布する。更に、成膜されたレジスト膜において、電子放出素子の画素間(区

切線)となるべき部分に一定間隔に配置されるように下部電極 1 1 の伸長方向に平行に複数の開口 H を並べて形成して、同時に、下部電極 1 1 の伸長方向に垂直に交差するようにスリット開口 H 2 を形成して、第 2 レジストマスク R 2 を形成する。開口 H 及びスリット開口 H 2 により、上部電極 1 5 を露出させる。

5 次に、図 1 5 に示すように、プラズマエッチングにより、第 2 レジストマスク R 2 の開口 H 及びスリット開口 H 2 の下にある上部電極 1 5 及び絶縁体層 1 3 の部分を等方性エッチングして開口せしめ、電子供給層 1 2 を露出させる。これにより、貫通孔 1 5 b が穿たれて、マスクとしてのブリッジ部が形成される。

10 次に、図 1 6 に示すように、リアクティブイオンエッチングにより、それぞれの開口部の下にある S i の電子供給層 1 2 を異方性エッチングして開口せしめ、基板 1 0 及び下部電極 1 1 を露出させる。

15 次に、図 1 7 に示すように、ケミカルドライエッチングにより、上部電極 1 5 及び絶縁体層 1 3 の直下にある電子供給層 1 2 を等方性エッチングして開口径を広げていく。電子供給層 1 2 の拡大開口空間 E S は、隣接する拡大開口空間 E 15 S (開口 H 及びスリット開口 H 2 に対応) と繋がるようにエッチングされる。

その後に、上部電極及び絶縁体層上に塗布した第 2 レジストマスク R 2 を除去する。その後、図示しないが、炭素領域として、島領域 1 4 と上部電極 1 5 上に炭素の薄膜を成膜することができる。このようにして、図 5 に示す電子放出装置が形成される。

20 このように、実施形態の電子供給層をディープエッチングする方法では、広い面積において一様に成膜しておいた電子供給層、絶縁体層、上部電極のうちの絶縁体層及び上部電極に貫通孔を設けて、その貫通孔から異方性エッチング、等方

性エッチングの順に処理している。この時、等方性エッチングはなくても電子供給層の分離は可能であるが、異方性エッチングを行ったままでは、分離した電子供給層が拡大開口空間 E S に突き出しており、この後に成膜する炭素層が貫通孔を介して絶縁体層を跨ぎ、上部電極と電子供給層が導通してしまう可能性が高くなる。このため、図 15 に示す工程の等方性エッチングによって、図 18 に示すように、絶縁体層を貫通孔 15 b の中心へ向かい張り出した底部として残す構造にすることで、後の炭素層成膜時に起こり得る炭素粒子付着による上部電極と電子供給層の導通を防止できる。ブリッジ部の絶縁体層だけでもかかる導通を防止できるが、これによりさらに効果的となる。

また、素子通電時に S i の導電性が原因でのリーク電流を発生させないために、電子供給層は上部電極と交わる向きに連続的に分離しておく必要がある。このため、上部電極に貫通孔を設けるにあたっては、上部電極が断線することなく、かつ電子供給層を連続的に分離しなければならない。このため、上部電極に貫通孔を設ける際には、上部電極が断線しないように複数個の貫通孔を直線状に設け、ディープエッチング工程時の等方性エッチングにより電子供給層の拡大開口部のみをつないで行くことによって、電子供給層を上部電極と交わる方向に連続的に分離していくことができる。

上部電極が絶縁体層上に広い面積において一様に形成されかつ、下部電極が分離されて独立になっている場合においても、下部電極が分離されているため、電子供給層も独立に分離されている必要がある。この際にも、電子供給層のディープエッチングと絶縁体層材料からなる下層で補強されたブリッジ部は極めて有效地に機能する。

電子供給層のディープエッチングによる素子分離とブリッジ部作製のために、上部電極は断線していないが複数個の貫通孔を設けるため、上部電極の抵抗が高くなる場合がある。このため、上部電極を予め広く一様に成膜することによって、電極の抵抗値の上昇を抑える効果がある。

5 以上の構成により、本実施形態の電子放出素子によれば、電子供給層が下部電極と平行にストライプ状に分離され、分離する空間上に、絶縁体層の一部が隣接する電子供給層を結びながら平面に配置され、その上に上部電極が平面に配置されているブリッジ構造を備えているので、電子供給層を介した素子間の電荷のリークが少なく、その島領域から放出される電子の量が増加する。

10 電子供給層を分離した素子と電子供給層を分離していない素子を作製し、その各々について素子電圧 V_d (V) を印加した際に流れる素子電流 I_d {電流量 (A) / 画素} と、上部電極から放出される放出電流 I_e を測定した。図 19 には測定結果の電流電圧特性のグラフを、表 1 には素子電圧 $V_d = 20$ V の時の各々の素子電流 I_d 、放出電流 I_e を示す。

15 表 1

画素分離の有無	有り	無し
I_d (A)	1.6E-04	2.5E-04
I_e (A)	9.6E-07	8.1E-07

これらの結果から、電子供給層を分離した素子は、電子供給層を介した隣接する素子の上部電極への電流のリークは防止されたため、素子電流 I_d が小さくなっていることが分かる。また、放出電流 I_e は増加している。

20 さらに、本発明の電子放出素子では、その島領域以外の絶縁体層は厚い膜厚を

有するので、スルーホールが発生しにくくなり、製造歩留まりが向上する。また、本発明の電子放出素子は、画素バルブの発光源、撮像素子、電子顕微鏡などの電子放出源、真空マイクロエレクトロニクス素子などの高速素子に応用でき、さらに面状又は点状の電子放出ダイオードとして、さらには高速スイッチング素子と

5 して動作可能である。

また、段差部分でのバスラインの断線問題を解決する方法として知られている上記マトリクス配置構造の製造方法（特開平11-185675号公報参照）に比べて、本発明による電子放出素子の作製方法は、広い面積において一様に成膜しておいた電子供給層、絶縁体層、上部電極をその後に異方性エッチング、等方性エッチングすることで隣接する電子放出素子との分離と上部電極のブリッジ部を作製する点において、非常に合理的かつ簡便な製造方法である。

（他の実施形態の電子放出装置）

図4に示す実施形態では上部電極15のパターニングにおいて、複数の貫通孔15bの列で素子を分離しているが、ブリッジ部15aを画定しかつ素子を分離するために、例えば、図20に示すように、上部電極15幅を狭める切欠部15cを有するブリッジ部15aでもよい（図20A）。また、図20Bに示すように貫通孔15b及び切欠部15cを有するブリッジ部15aでもよい。さらに、図20Cに示すように、上部電極15をすべて同電位とするために、x y方向に貫通孔15bを設け x y方向にブリッジ部15aを設けてよい。図20Cに示す構成は、各下部電極に個別に電力供給される電子放出装置のためのアクティブマトリクス駆動方式に有効である。またさらに貫通孔は、円形の他に矩形や菱形や樽形や星形や、図20Dに示すように、ブリッジ部15aの面積を大きく保ち

かつエッティングガスの流通を促すために、その中央部 C P で狭まりかつその端部の素子に接続する部分で広がる拡大部 E P を有する小鼓形の貫通孔 1 5 b でもよい。これは、ブリッジ部のシート抵抗値を低減する効果がある。

また、図 1 1 に示す電子供給層 1 2 において、一様に電子供給材料を積層する
5 だけでなく、予定される拡大開口空間の形成を促すために、隣接下部電極 1 1 間など素子を切り分ける部位に、電子供給層 1 2 よりもエッティングレートの高い材料からなるエッティング誘導層 1 2 e を予めパターニングにおいてもよい。

いずれの実施形態によっても、上部電極のパターニングにおいて、ストライプ状のほか、素子がハニカムやデルタ配置された場合の連結や、上部電極が屈曲も
10 しくは蛇行するような配線が可能となり、絶縁体層や上部電極が素子の特性を劣化することなく自由な形状にパターニングできる効果がある。

なお、上記実施形態では、図 1 1 に示すようにマイクロマスク MM を電子供給層 1 2 に直接接して形成しているが、この他に、図 2 1 に示すように、図 7 で示す電子供給層 1 2 に予め予備絶縁体層 1 3 a をスパッタリングにより形成し、予
15 備絶縁体層 1 3 a 上にマイクロマスク MM を形成して、図 2 2 に示すように、予備絶縁体層 1 3 a 及びマイクロマスク MM 上に、絶縁体層 1 3 を形成し、そして絶縁体層 1 3 上に上部電極 1 5 を形成し、電子供給層 1 2 を露出させない構造としてもよい。予備絶縁体層 1 3 a を設ける場合その膜厚は数十～数千オングストロームの範囲である。これにより、電子供給層 1 2 及び上部電極 1 5 間の短絡が
20 防止できる。

さらに、実施形態では、電子放出部を島領域として説明しているが、本発明は単なる面放出源タイプでも spindt 型放出源タイプでも適用できることは明らか

である。

下部電極とブリッジ部で接続された上部電極がそれぞれストライプ状の電極でありかつ互いに直行する位置に配列されている素子において、上記ケミカルドライエッチングによるブリッジ部の形成工程における円形貫通孔の列の条件を考

5 察すると、以下の条件が得られる。

1. 図23に示すように、上部電極の伸長方向における貫通孔15bの中心から近隣に存在する島領域14(電子放出部)の縁部までの距離をa、貫通孔15bの中心から等方性エッチングを行った拡大開口部の最外周までの距離をbとすると、 $a \geq b$ であること。

10 2. 1. の条件において、下部電極の伸長方向における上部電極15のピッチをc、貫通孔15bのピッチをdとすると、 $c \geq d$ であること。

3. 2. の条件において、下部電極の伸長方向における上部電極15の幅をe、貫通孔15bの直径をfとすると、 $f < e$ でなければならないが、上部電極の抵抗を考慮すると望ましくは $f \leq 9 \times e / 10$ である。

15 4. 3. の関係において、 $d < e$ でなければならないが、上部電極の抵抗を考慮すると望ましくは $d \geq 11 \times f / 10$ である。

また、上部電極は電子放出素子を列または行方向に限定する事なく複数の電子放出素子に亘りかつ空間をそのブリッジ部によって跨いで延在し、下部電極は画素毎に分離独立している素子において、上記ケミカルドライエッチングによるブリッジ部の形成工程における円形貫通孔の列の条件を考査すると、以下の条件が得られる。

1. 図24に示すように、上部電極における貫通孔15bの中心から近隣に存

在する島領域 14 (電子放出部) の縁部までの距離を a 、貫通孔 15 b の中心から等方エッチングを行った拡大開口部の最外周までの距離を b とすると、 $a \geq b$ であること。

2. 1. の条件において、画素の長辺方向の長さを g 、短辺方向の長さを h 、

5 貫通孔 15 b のピッチを d とすると、 $g \geq d$ かつ $h \geq d$ であること。

(実施例 1)

SiO_2 の絶縁膜で被覆した Si ウエハ基板上に、下部電極の下地となる Al-Si からなる薄膜をストライプ状に形成した。

次に、電子放出素子を配置しようとする下部電極上にわたって、特にパターニングすることなく、窒素を導入した反応スパッタリング法により TiN の下部電極を膜厚 220 nm で、その上に Si からなる電子供給層を膜厚 500 nm で成膜した。この TiN 層は下部電極として働くと同時に、 TiN 層下の Al-Si 層が TiN 層上に形成した電子供給層の Si へ拡散することを防止している。

次に、得られた基板上の電子供給層上に電子放出部の島領域を形成するために、15 複数のマイクロマスク (図 8 ~ 図 11 参照) を作り込んだ。

次に、マイクロマスク及び電子供給層上に、スパッタリング法によって、 SiO_2 の絶縁体層を平坦部分で膜厚 330 nm で成膜した。この時、マイクロマスクは表面に露出していた。もちろん、マイクロマスク上部表面上に SiO_2 は成膜されていた。マイクロマスクと電子供給層とが接している部分とその直下は、20 主マスク部のオーバーパングの “影” になるので、スパッタリング粒子の “まわりこみ” によって SiO_2 が成膜され、絶縁体層の膜厚はマイクロマスクの支持部の中心方向に向かって徐々に薄くなっていた。

次に、上部電極のパターンのマスクを SiO_2 の絶縁体層上に取り付け、タンゲステンの上部電極をスパッタリング法で膜厚 60 nm になるよう成膜した。結果、絶縁体層及び上部電極の膜厚がマイクロマスクの支持部の中心方向に向かつて漸次減少する島領域が形成された。この時、絶縁体層を表面処理せずに上部電極を成膜してもよいが、絶縁体層表面をスパッタリングしてから、電極膜を成膜してもよい。スパッタエッチングによって絶縁体層の表面部分のエッチングや改質を行うと、上部電極の絶縁体層への付着力が向上するからである。

次に、これら基板の島領域から付着しているマイクロマスクを除去した。

次に、電子放出素子をマトリクス配置する領域のために、上部電極及び絶縁体層上に、レジストをスピンドルコート法により塗布した。

次に、電子放出素子間の空間とすべき部分で、かつ一定間隔に配置されるようにレジスト膜に、上部電極を露出させる開口の列を設けた。

次に、プラズマエッチング装置を用いて、 CF_4 、 CHF_3 、 Ar の混合ガスで処理することにより、レジストマスクの開口部の下にあるタンゲステンの上部電極及び SiO_2 の絶縁体層を等方性エッチングして、電子供給層を露出させる貫通孔を設けた。貫通孔の側面には絶縁体層材料からなる庇が貫通孔を狭めるように突出していた。かかる貫通孔の周りの上部電極及び絶縁体層がブリッジ部となる。

次に、リアクティブイオンエッチング装置を用いて、 CH_2F_2 、 SF_6 、 Cl_2 の混合ガスで処理することにより、開口部の下にある Si の電子供給層及び TiN の下部電極を異方性エッチングして、基板及び Al-Si を露出させる開口を設けた。なお、異方性エッチング用のエッチャントとして HBr も用いること

ができる。

次に、ケミカルドライエッチング装置を用いて、 C F_4 のガスで処理することにより、タングステンの上部電極及び S i O_2 の絶縁膜の下にある、 S i の電子供給層及び T i N の下部電極を等方性エッチングして開口径を広げた。その電子供給層及び下部電極の拡大開口部は、隣接する拡大開口部と繋がるようにエッチングされた。結果、ブリッジ部下に素子を分離する空間が確保された。なお、等方性エッチング用のエッチャントとして X e F_2 も用いることができる。 X e F_2 はタングステンをエッチングしてしまうので、 X e F_2 を使用する場合、上部薄膜電極として A l 、 C r 、 T i N i など X e F_2 に耐える材料を用いる。

その後に、上部電極及び絶縁体層上に塗布したレジストマスクを除去した。結果、空間上に架設されかつ隣接する電子放出素子を電気的に接続するブリッジ部が形成された。

次に、複数の凹部島領域が設けられた基板の上部電極の上に炭素ターゲットを用いたスパッタリング法により炭素領域（炭素層）を膜厚 20 nm で成膜した。

15 (実施例 2)

公知のフォトリソグラフィ技術とエッチング技術により、 S i ウェハ基板上の電子放出素子に相当する位置に MOSFET (MOS 電界効果トランジスタ) を配置作成した。その後、複数の電子放出素子に相当する部分を覆うように層間絶縁膜を、更にその上に下部電極を形成した。この時、層間絶縁膜に各電子放出素子に相当する位置に貫通した開口部を設け、この開口部を通して MOSFET 内に形成したドレイン電極と下部電極を導通させた。

この下部電極を電子放出素子毎に分離独立した後、複数の電子放出素子に相当

する部分を覆うように、特にパターニングすることなく Si からなる電子供給層を成膜した。

次に、得られた電子供給層上に電子放出部の島領域を形成した。島領域の形成方法は実施例 1 と同様に行った。

5 続いて、プラズマエッチング装置を用いて、実施例 1 と同様に上部電極及び絶縁体層のエッチングを行った。この時、上部電極の形状は図 20 C に示した形状とし、上部電極すべてが同電位となるようにした。

次に、リアクティブイオンエッチング装置とケミカルドライエッチング装置を用いて、実施例 1 と同様に、電子供給層のエッチングを行った。この時、電子供給層は下部電極と同様に、電子放出素子毎に分離独立した。

その後に、上部電極及び絶縁体層上に塗布したレジストマスクを除去した。結果、空間上に架設されかつ隣接する電子放出素子を電気的に接続するブリッジ部が形成された。

次に、複数の凹部島領域が設けられた基板の上部電極の上に炭素ターゲットを用いたスパッタリング法により炭素領域（炭素層）を膜厚 20 nm で成膜した。

図 25 は、製造した電子放出装置における単結晶シリコン基板 20 A に形成された素子を示す断面図である。単結晶シリコン基板 20 A には複数の MOSFET が形成されている。MOSFET では、単結晶シリコン基板 20 A 中に素子分離膜 77 が形成されており、これら素子分離膜 77 間の単結晶シリコン基板 20 A 上にゲート絶縁膜 74 とポリシリコンからなるゲート電極 75 とが形成されている。また、ゲート電極 75 と素子分離膜 77 とをマスクとしてシリコン基板 20 A に不純物を導入しこれを活性化することで、ソース電極 72 とドレイン電

極 7 6 とが自己整合的に形成されている。下部電極 1 1 は、層間絶縁膜 7 0 を貫通しているコンタクトホール 7 1 内のタングステンなどの金属を介してドレン電極 7 6 へ導通している。下部電極 1 1 ごとに電子放出素子が分離独立して、形成されている。下部電極 1 1 上に、電子供給層 1 2 、絶縁体層 1 3 及び上部電極 1 5 が順に積層されて、凹部として電子放出部の島領域 1 4 が形成されている。

島領域の形成方法は実施例 1 と同様に行った。電子放出素子の間は電子供給層 1 2 のエッティングにより除去された拡大開口空間 E S で分離されている。電子供給層 1 2 は下部電極 1 1 と同様に電子放出素子毎に分離独立しているが、上部電極 1 5 のブリッジ部 1 5 a が、空間上に架設され、隣接する電子放出素子を電気的に接続している。電子放出部の島領域 1 4 の上部電極 1 5 の上に炭素領域（炭素層）が成膜されている。

また、本発明による電子放出装置及びその製造方法はトランジスタとして M O S F E T を配置した電子放出装置に限られることなく、バイポーラ構造のトランジスタ、ボトムゲート構造の T F T （薄膜トランジスタ）、トップ構造の T F T を配置した電子放出装置についても適用できる。

（電子放出素子を用いた撮像素子）

撮像素子は、図 2 6 に示すように、電子放出素子 S が設けられた素子基板 1 0 を背面基板（上記した電子放出装置）として、これと、撮影すべき物体からの光を受光する受光部として透明ガラスなどの前面基板 1 と、を備えている。電子放出装置と前面基板 1 は、真空空間 4 を挟み略平行に保持されている。前面基板 1 及び背面基板 1 0 は真空空間 4 を隔てて図示しないスペーサで支持されている。背面基板 1 0 と真空空間 4 を挟んで対向する前面基板 1 の真空空間内面には、

SnO_2 や In などからなる透明電極 20 と、さらに透明電極に接して前面基板とは反対側に形成され、例えば、 Se-As-Te 、 Sb_2S_3 、 PbO 、あるいは CdSe などからなる光電変換膜 21 とで構成されている。そして前面基板には、透明電極から撮像出力信号を取り出すための信号電極が取り出されている。

5 受光面である前面基板 1 の内面の光電変換膜 21 に高い電圧が印加される。

背面基板 10 の真空空間 4 側内面には、それぞれ平行に伸長する複数の下部電極 11 が形成されている。共通の下部電極 11 上にこれに沿って電子放出素子 S の複数が配置されている。電子供給層は複数の下部電極に沿ってストライプ状に空間分離されている。それぞれ平行に伸長する複数の上部電極 15 は、下部電極 11 に垂直に伸長してブリッジ部を介して架設され、これらを電気的に接続している。絶縁体層も上部電極とともに隣接する電子供給層上に架設されている。下部電極及びブリッジ部で接続された上部電極の交点が電子放出素子に対応する。

さらに、図 26 に示すように、撮像素子には、真空空間 4 中にメッシュ電極 30 を配置し、中間電圧 V_m を印加することで電子ビームの方向性を良くして解像度を改善することができる。

撮像素子の動作は、光学系を用い、前面基板 1 を通して光電変換膜 21 に光学像が結ばれると、この光学像が正の二次元電荷像に変換されて電荷が光電変換膜 21 の走査面側に蓄積される。一方、この電荷を背面基板上に形成した電子放出素子より放出した電子によって中和することにより電流が流れ、映像信号として 20 検出することができる。

上部電極 15 は、例えば垂直方向走査用のパルス発生回路（図示せず）に接続され、それぞれに所定信号が印加される。下部電極 11 は例えば水平方向走査用

のパルス発生回路（図示せず）に接続され、垂直方向走査パルスに同期してそれぞれに所定信号が印加される。下部電極 1 1 並び上部電極 1 5 の交点が電子放出素子 S の配置に対応するので、実施形態の撮像素子においては、下部電極及び上部電極 1 5 により電子放出素子 S が順次駆動され、放出電子で近接した光電変換膜領域を走査して、光電変換膜に結像された画像から光電変換された映像信号を得る。

（電子放出素子を適用した表示装置）

図 27 は、実施の形態の電子放出素子を適用したフラットパネルディスプレイ装置を示す。

電子放出素子 S が設けられた素子基板 1 0 を背面基板として、これに対向するガラスなどの光透過性基板 1 が真空空間 4 を挟んで前面基板として保持される。前面基板 1 の内面にはカーボンなどからなるブラックマトリクス BM で区画された部分にそれぞれ赤緑青色発光を発する蛍光体層 3 R、3 G、3 B を設けて、その内面に A 1 など導電体層を設けコレクタ電極 2 として設けることもできる。蛍光体層 3 R、3 G、3 B に対応する複数の発光部からなる画像表示配列は、暗色又は黒色のマトリクス層 BM によって画定されているが、同様に暗色又は黒色のストライプ層によっても画定できる。

電子放出素子は、表面の上部電極 1 5 を正電位 Vd とし裏面の下部電極 1 1 を接地電位としてある。下部電極 1 1 と上部電極 1 5 との間に電圧 Vd、例えば 20 0 V 程度印加し電子供給層 1 2 に電子を注入すると、一部の電子はあらかじめ通電処理により形成されている電子放出部を通して、真空中に放出される。電子は島領域 1 4 の底部から、ある角度分散をもって放出される。しかしながら、図 5

の素子構造では島領域14の上部の空間で電界がレンズ状になり、放出電子は法線に沿う方向に軌道が変えられる。その結果、角度分散の非常に小さい放出電子が得られる。

この島領域14の凹部から放出された電子e（放出電流Ie）は、対向したコレクタ電極2に印加された高い加速電圧Vc（例えば5kV程度）によって加速され、コレクタ電極2に集められ、蛍光体3が対応する可視光を発光させる。本実施形態の表示装置の駆動方式としてはパッシブマトリクス方式としているが、図20C及びDに示す上部電極15を用いて電子放出素子Sを個別駆動するアクティブマトリクス方式にも適用できる。

請求の範囲

1. 各々が基板に近い側の下部電極及び前記基板に遠い側の上部電極を有し、
5 前記上部電極側から電子を放出する複数の電子放出素子からなる電子放出装置
であって、前記電子放出素子同士の間に空間が形成されており、前記上部電極は
前記複数の電子放出素子に亘りかつ前記空間をそのブリッジ部によって跨いで
延在していることを特徴とする電子放出装置。
2. 前記ブリッジ部に少なくとも1つの貫通孔又は切欠部が設けられている
10 ことを特徴とする請求項1記載の電子放出装置。
3. 前記貫通孔又は切欠部は、円形、矩形、菱形、樽形、星形若しくは小鼓
形又はこれらを構成する一部の形状を有していることを特徴とする請求項2記
載の電子放出装置。
4. 前記ブリッジ部が前記基板に略平行に伸長している請求項1～3のいずれかに記載の電子放出装置。
15
5. 前記下部電極と前記ブリッジ部で接続された前記上部電極は、それぞれ
ストライプ状の電極でありかつ互いに直交する位置に配列されていることを特
徴とする請求項1～4のいずれかに記載の電子放出装置。
6. 前記上部電極は電子放出素子を列または行方向に限定することなく複数の電子
20 放出素子に亘りかつ前記空間を前記ブリッジ部によって跨いで延在し、前記下部電極は
電子放出素子毎に分離独立していることを特徴とする請求項1～4のいずれかに記載
の電子放出装置。

7. 前記電子放出素子が前記下部電極と前記上部電極との間に積層された絶縁体層及び半導体からなる電子供給層を有し、前記下部電極及び前記上部電極間への電圧印加時に、電子が前記上部電極側から放出されることを特徴とする請求項 5 又は 6 に記載の電子放出装置。

5 8. 前記ブリッジ部は、隣接する前記電子放出素子の前記絶縁体層と一体となつた前記絶縁体層の材料部分を含むことを特徴とする請求項 7 に記載の電子放出装置。

9. 前記電子供給層は、シリコン又はシリコンを主成分とする混合物若しくはその化合物からなる非結晶相からなることを特徴とする請求項 1 ~ 8 のいずれかに記載の電子放出装置。

10. 前記絶縁体層及び前記上部電極の膜厚が前記電子供給層に向かって漸次減少する少なくとも 1 つの島領域からなる電子放出部を有していることを特徴とする請求項 1 ~ 9 のいずれかに記載の電子放出装置。

11. 前記島領域における前記上部電極が前記絶縁体層上で終端していることを特徴とする請求項 10 記載の電子放出装置。

12. 前記島領域における前記絶縁体層が前記電子供給層上で終端していることを特徴とする請求項 10 又は 11 記載の電子放出装置。

13. 前記島領域は前記上部電極の平坦表面における凹部であることを特徴とする請求項 10 ~ 12 のいずれかに記載の電子放出装置。

20 14. 前記絶縁体層は誘電体からなり、前記島領域以外では 50 nm 以上の膜厚を有することを特徴とする請求項 10 ~ 13 のいずれかに記載の電子放出装置。

15. 前記島領域において電気絶縁性の遮蔽体を備えていることを特徴とする請求項10～14のいずれかに記載の電子放出装置。

16. 前記島領域の上部若しくは下部又は内部に、炭素又は炭素を成分とする混合物若しくは炭素化合物からなる炭素領域が設けられていることを特徴とする請求項10～15のいずれかに記載の電子放出装置。

17. 各々が基板に近い側の下部電極及び前記基板に遠い側の上部電極を有し、前記上部電極側から電子を放出する複数の電子放出素子からなり、前記電子放出素子同士の間に空間が形成されており、前記上部電極は前記複数の電子放出素子に亘りかつ前記空間をそのブリッジ部によって跨いで延在している電子放出装置の製造方法であって、

基板上に前記複数の電子放出素子を構成するため上部電極の材料層が積層された積層体を形成する電子放出部形成工程と、

複数の電子放出素子に区切るべき線に沿って少なくとも1つの貫通孔又は切欠部が設けられた複数のブリッジ部を、エッチングによって前記上部電極の材料層から形成するブリッジ形成工程と、

前記ブリッジ部をマスクとして、露出した前記積層体の部分を異方性エッチングによって前記基板及び下部電極又はそれらの近傍まで食刻する切削工程と、

前記ブリッジ部をマスクとして、露出した前記積層体の部分を等方性エッチングによって食刻し空間を拡張して前記複数の電子放出素子に分離する分離工程と、を含むことを特徴とする電子放出装置の製造方法。

18. 前記切削工程において、CH₂F₂、SF₆、Cl₂を含む混合ガスを露出した前記積層体の部分に接触させることを特徴とする請求項17記載の電

子放出素子の製造方法。

19. 前記分離工程において、 CF_4 を含む混合ガスを露出した前記積層体の部分に接触させることを特徴とする請求項17又は18記載の電子放出素子の製造方法。

5 20. 前記電子放出部形成工程は、

シリコン又はシリコンを主成分とする混合物若しくはその化合物からなる電子供給層を前記基板上に形成する電子供給層形成工程と、

各々が前記電子供給層上に接触する部分周りに影を形成する遮蔽体を前記電子供給層上に形成する遮蔽体形成工程と、

10 前記電子供給層及び前記遮蔽体上に絶縁体を堆積させ、絶縁体の薄膜からなる絶縁体層を、前記遮蔽体下の接触する部分周囲の前記絶縁体層の膜厚が漸次減少する少なくとも1つの島領域となるように、形成する絶縁体層形成工程と、

前記絶縁体層上に上部電極を成膜して、前記島領域を電子放出部として形成する上部電極形成工程と、を含むことを特徴とする請求項17～19のいずれかに記載の電子放出素子の製造方法。

21. 前記島領域の上部もしくは下部又は内部に炭素又は炭素を成分とする混合物若しくは炭素化合物からなる炭素領域を形成する炭素領域形成工程をさらに含むことを特徴とする請求項20記載の製造方法。

22. 前記ブリッジ形成工程において、前記上部電極及び前記絶縁体層を等方性エッチング法によって食刻し、隣接する前記電子放出素子の前記絶縁体層及び前記上部電極と一体となった前記絶縁体層の材料部分を含む前記ブリッジ部を形成し、前記貫通孔において前記絶縁体層の材料部分からなる前記貫通孔の中

心へ向かい張り出した庇状構造を形成することを特徴とする請求項 20 又は 21 記載の電子放出装置。

23. 前記遮蔽体は、各々が前記基板の法線方向に突出する支持部と前記支持部から前記基板に平行な方向に突出する主マスク部とを有するマイクロマスクであり、前記遮蔽体形成工程において、前記基板上に支持部材料層及び主マスク部材料層を成膜し、その上にフォトリソグラフィ法によって少なくとも前記電子供給層の一部分を露出せしめるレジストマスクを形成し、ドライエッチング法及びウェットエッチング法によって、前記主マスク部及び前記支持部を順に食刻して、前記マイクロマスクを形成する工程を含むことを特徴とする請求項 20 ~ 10 22 のいずれかに記載の製造方法。

24. 請求項 1 ~ 16 のいずれかに記載の電子放出装置と、前記上部電極に真空空間を挟み略平行に対向する光電変換膜と、前記光電変換膜に積層された光透過性電導膜と、前記光電変換膜及び前記光透過性電導膜を保持する光透過性の前面基板と、からなることを特徴とする撮像素子。

25. 前記真空空間に前記電子放出装置及び前記光電変換膜に接することなく配置されたメッシュ電極を有することを特徴とする請求項 24 記載の撮像素子。

26. 請求項 1 ~ 16 のいずれかに記載の電子放出装置と、前記上部電極に真空空間を挟み対向しつつ前記真空空間側の表面に配置された蛍光体層及び前記蛍光体層上に形成され前記上部電極に対向したコレクタ電極を有する光透過性の前面基板と、からなることを特徴とする表示装置。

27. 前記蛍光体層に対応する複数の発光部からなる画像表示配列を有して

いることを特徴とする請求項 2 6 記載の表示装置。

2 8. 前記蛍光体層に対応する複数の発光部からなる画像表示配列は、暗色又は黒色のマトリクス層又はストライプ層によって画定されていることを特徴とする請求項 2 6 又は 2 7 のいずれかに記載の表示装置。

1/16

図 1

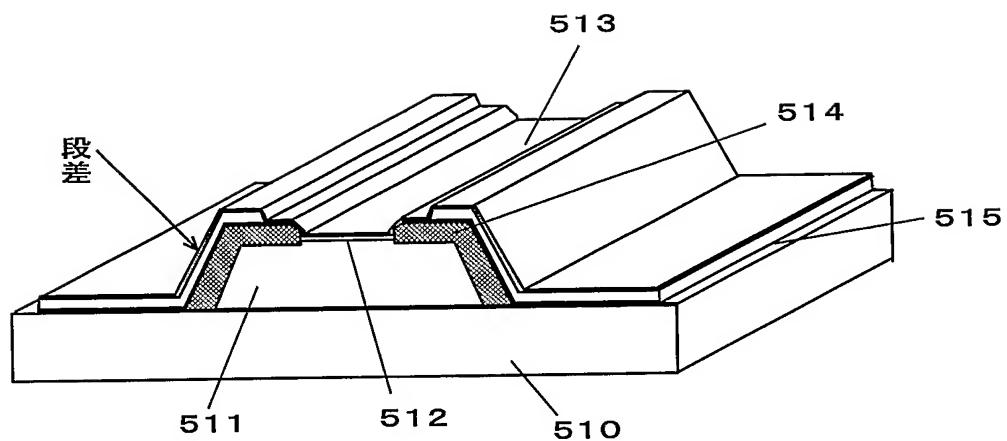


図 2

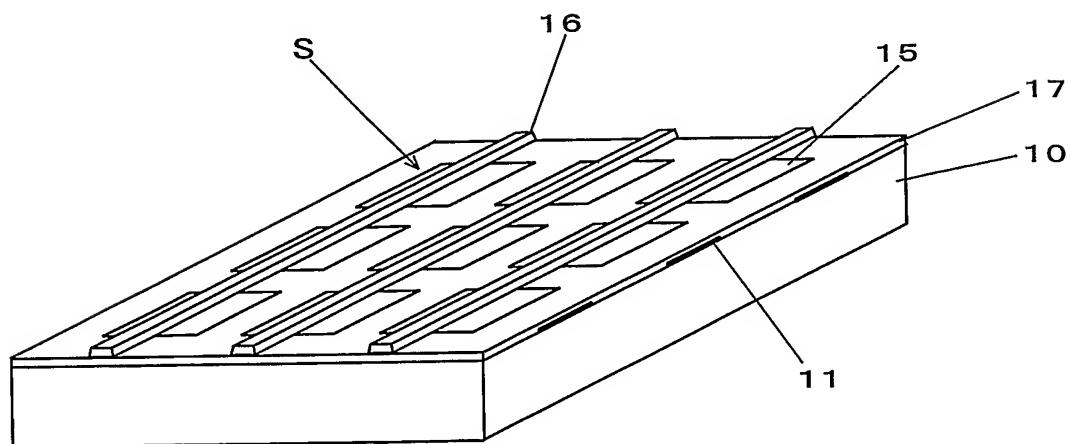


図3

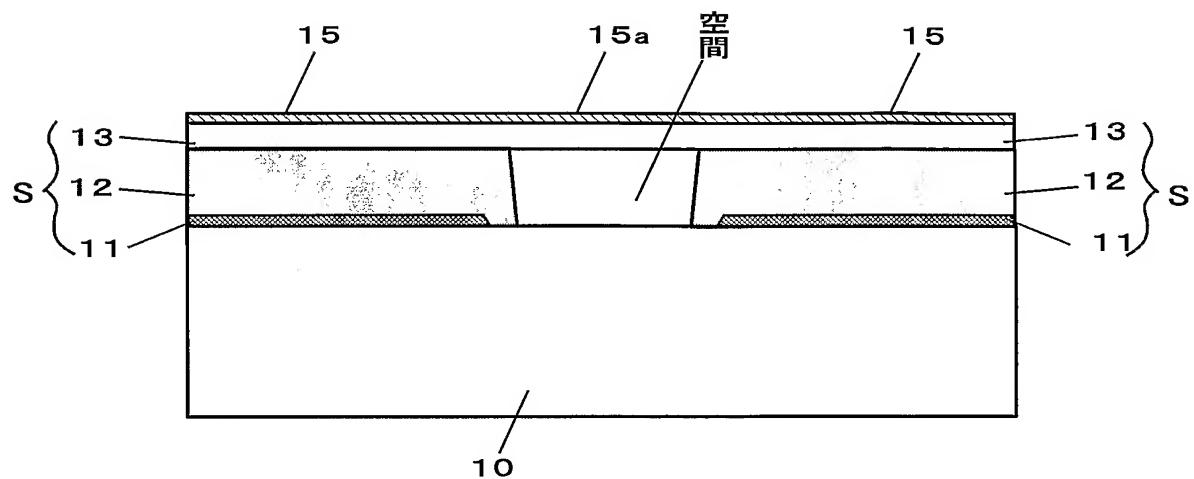
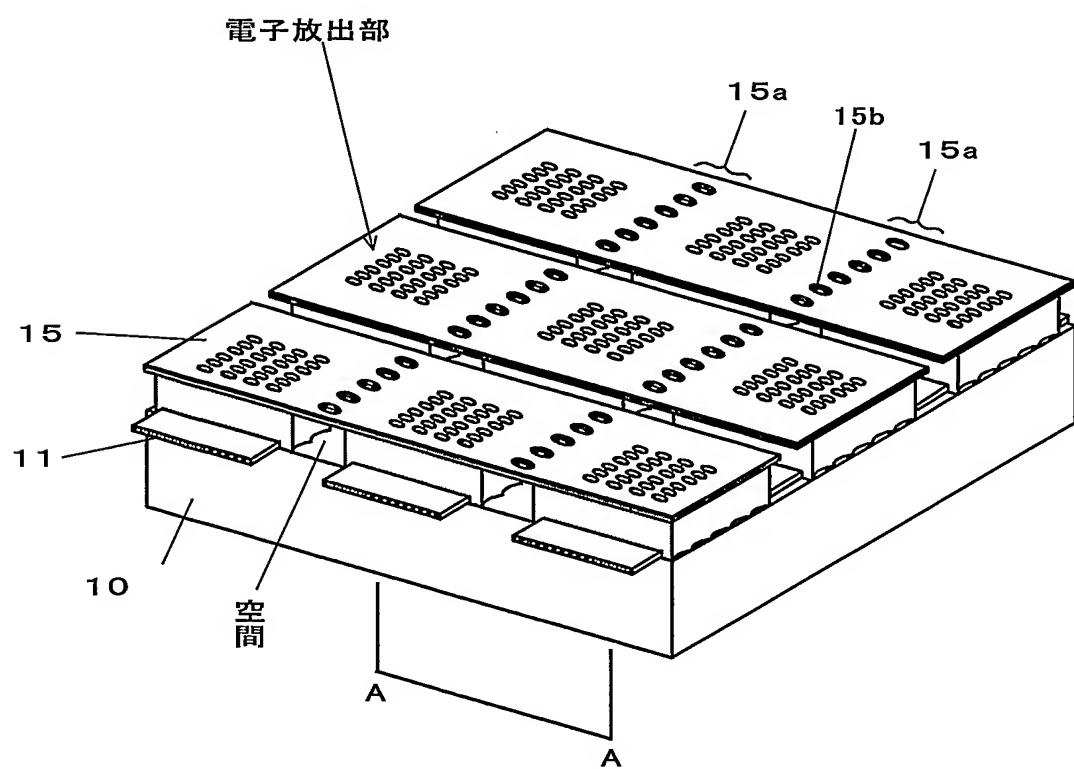


図4



3/16

図5

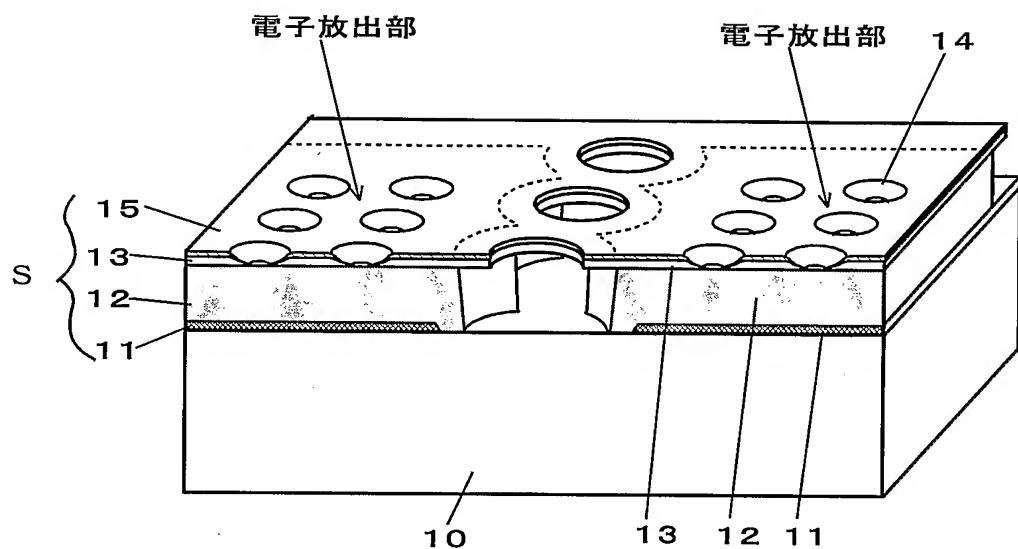


図6

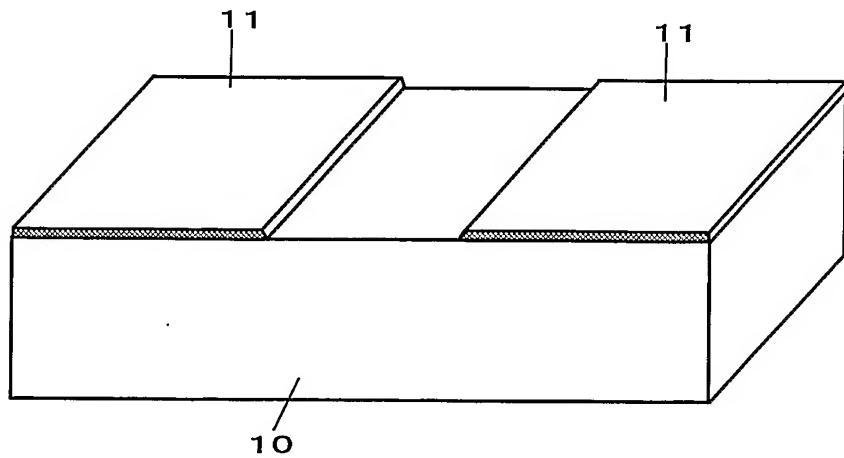


図 7

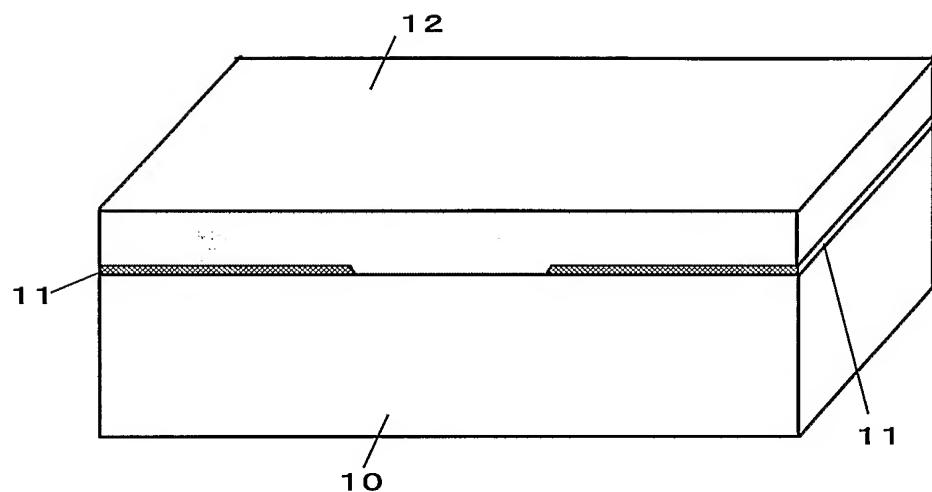


図 8

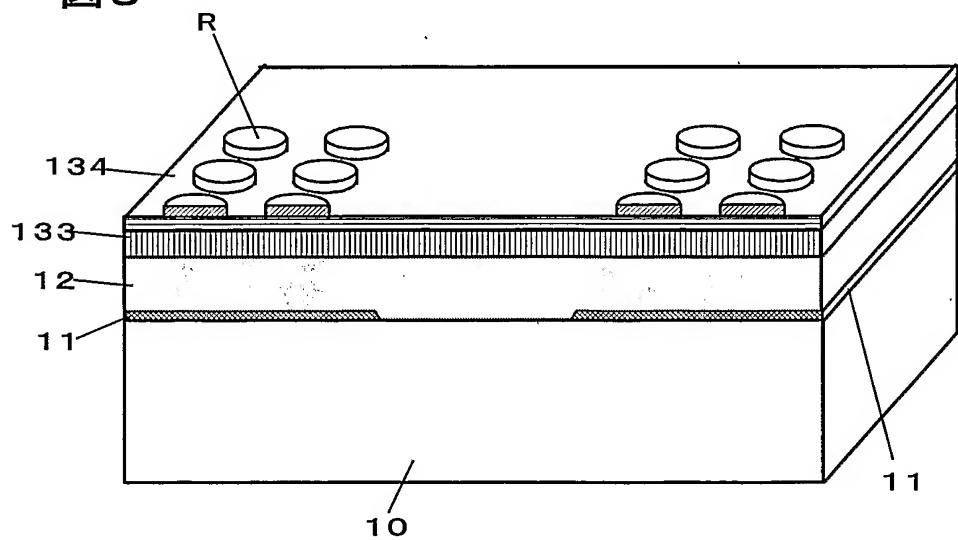


図9

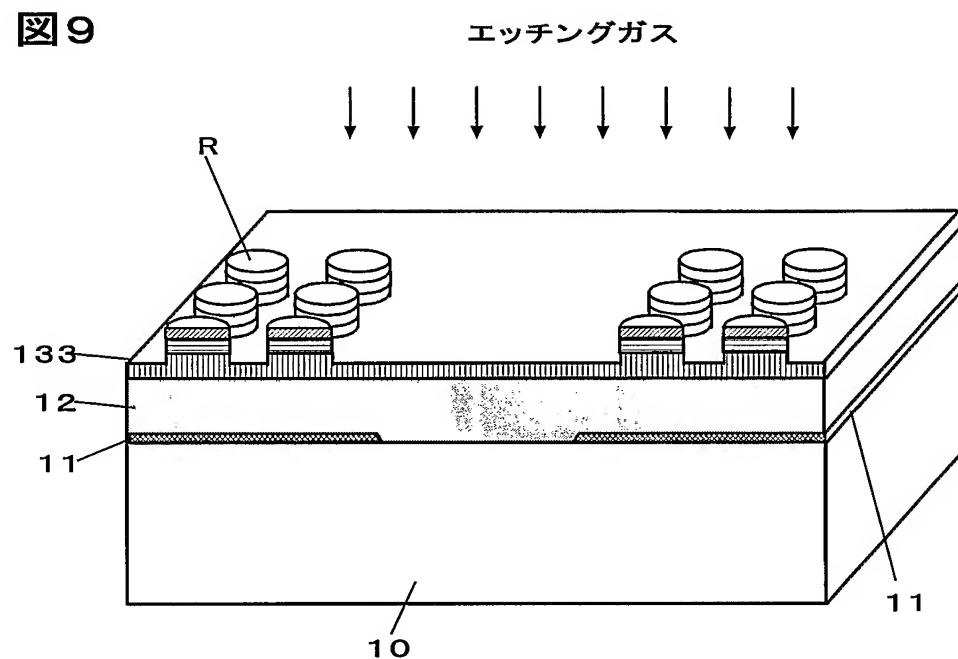
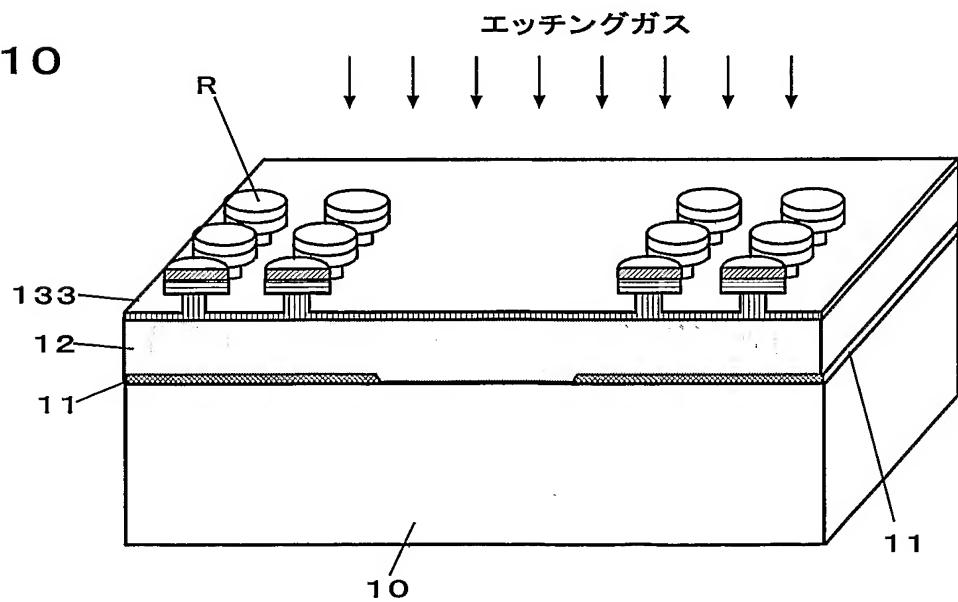


図10



6/16

図 11

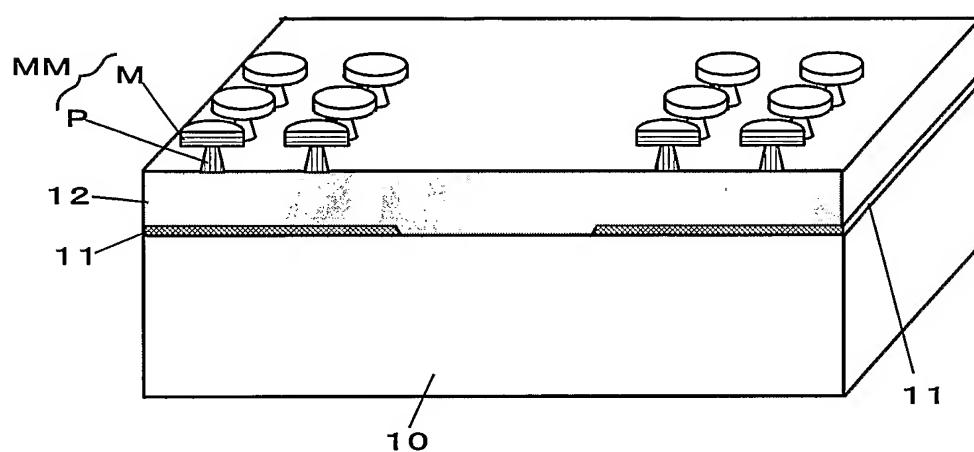
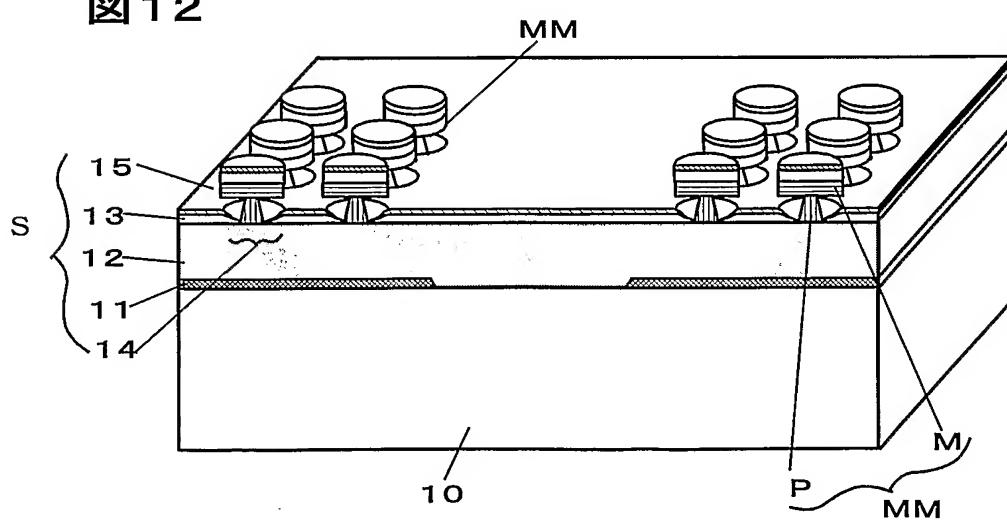


図 12



7/16

図13

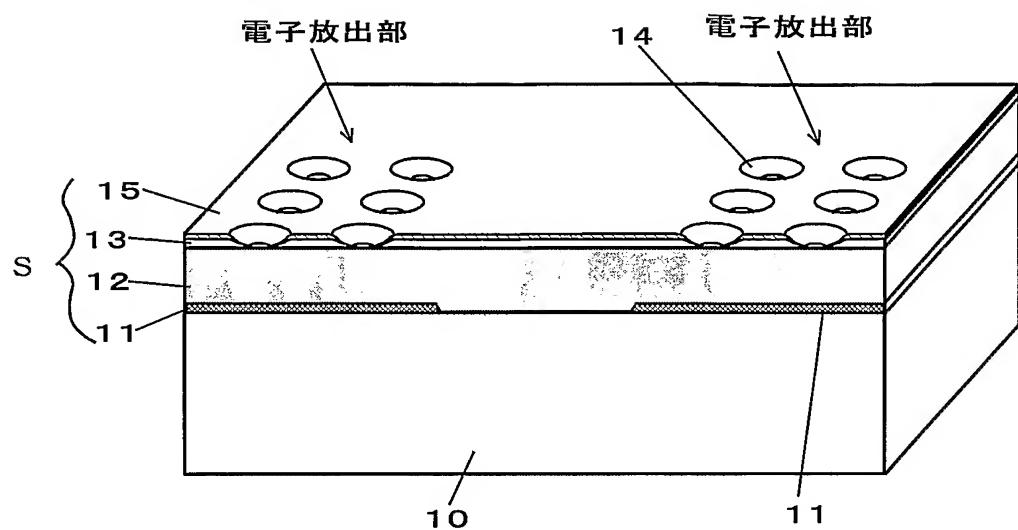


図14

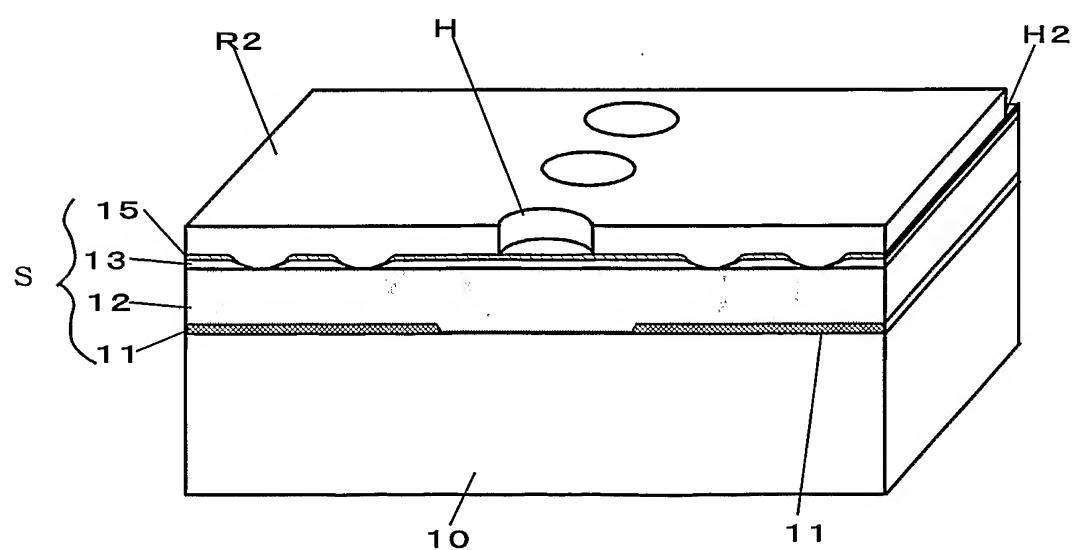


図15

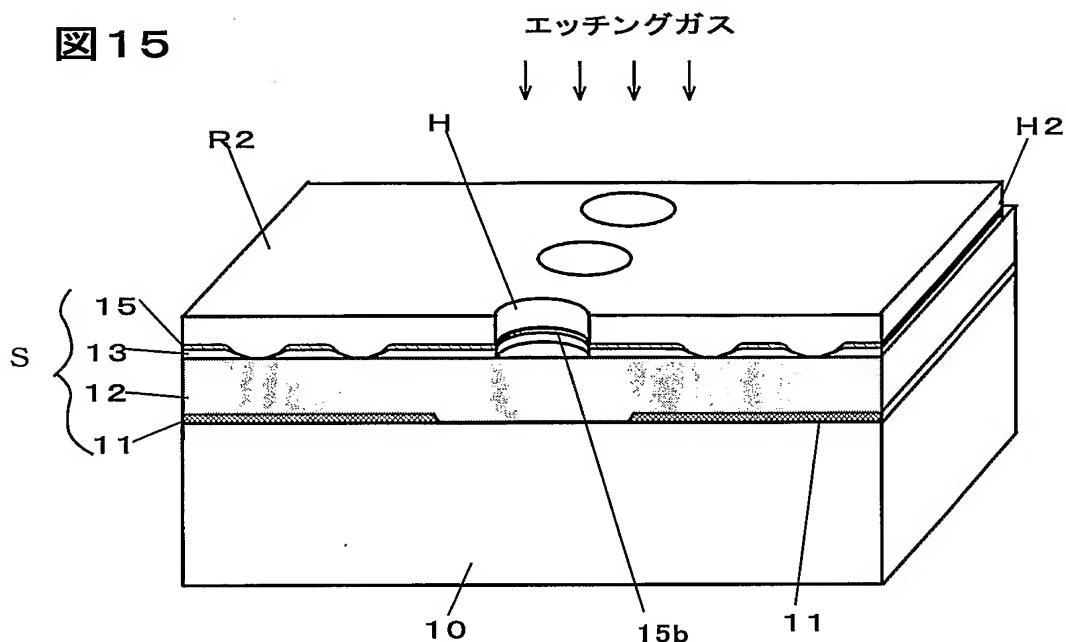
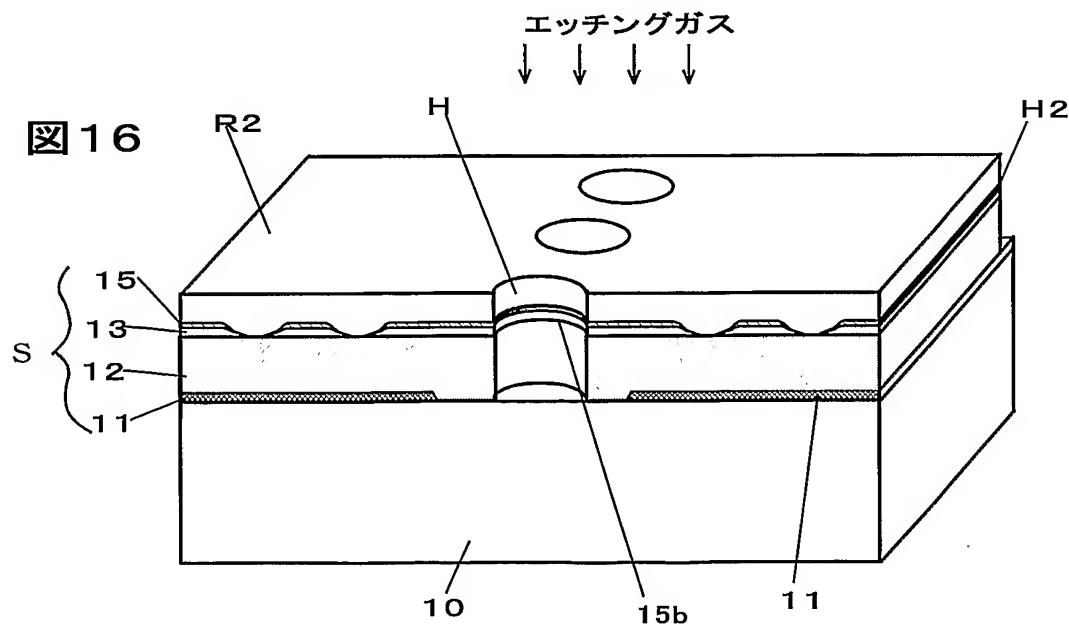


図16



9/16

図17

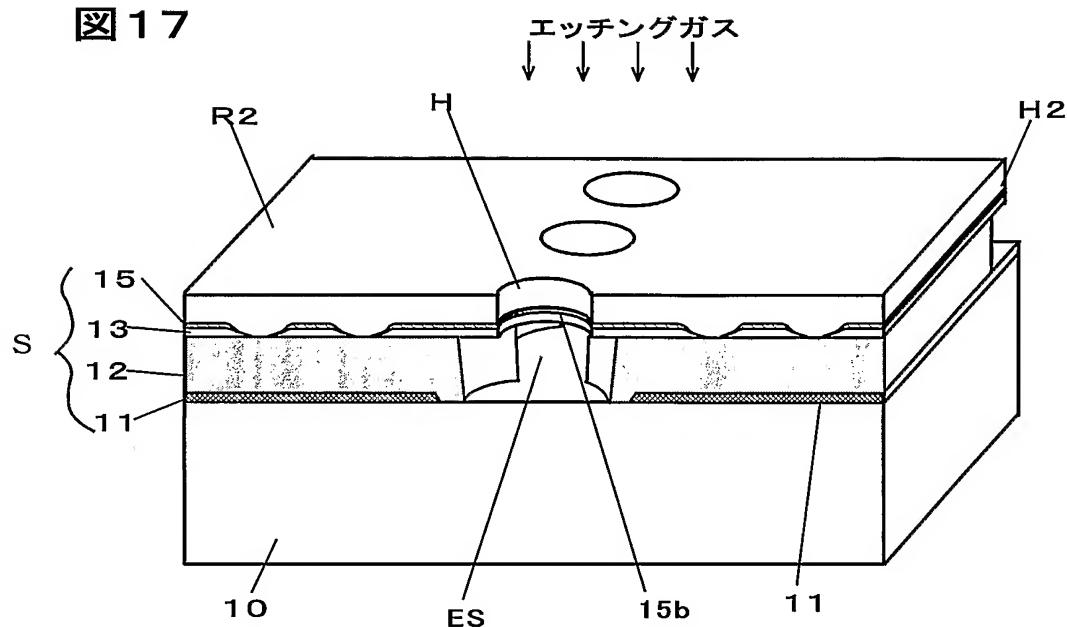
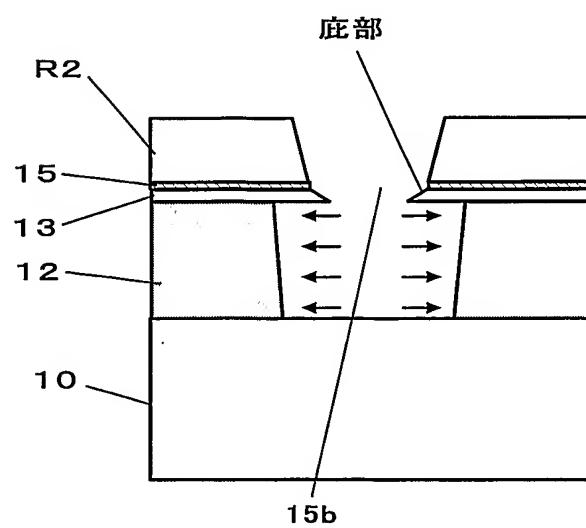
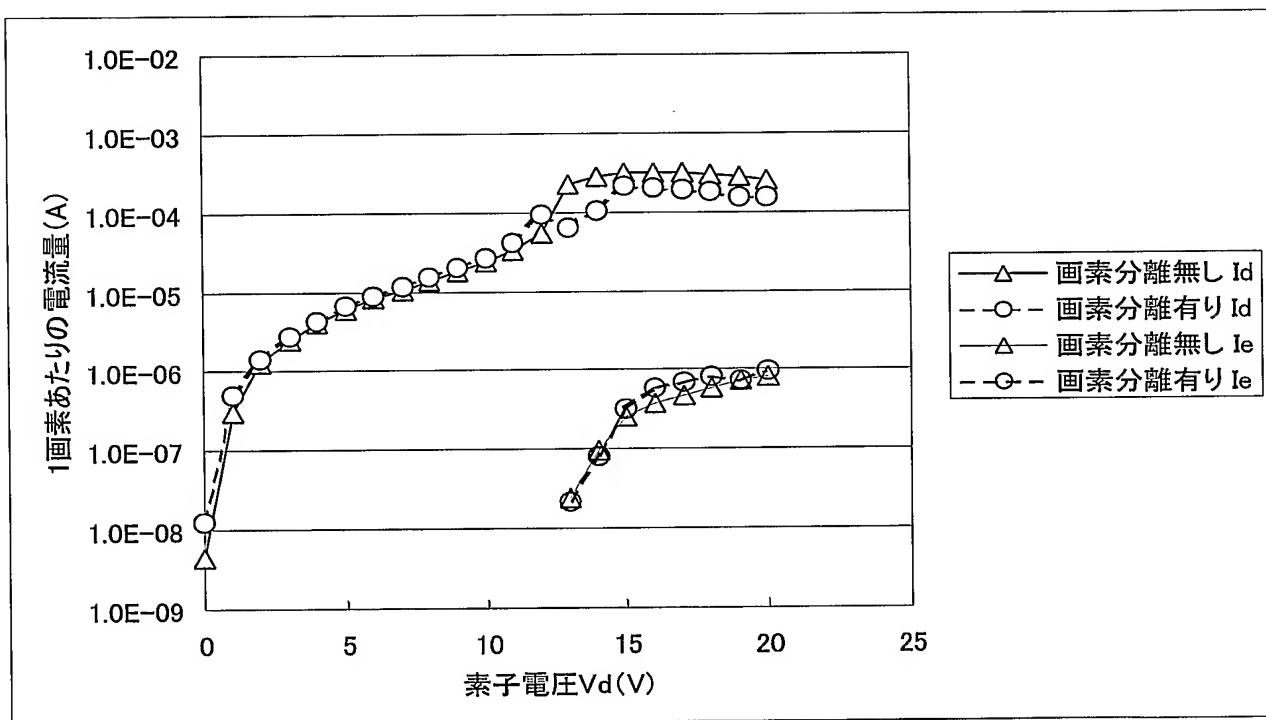


図18



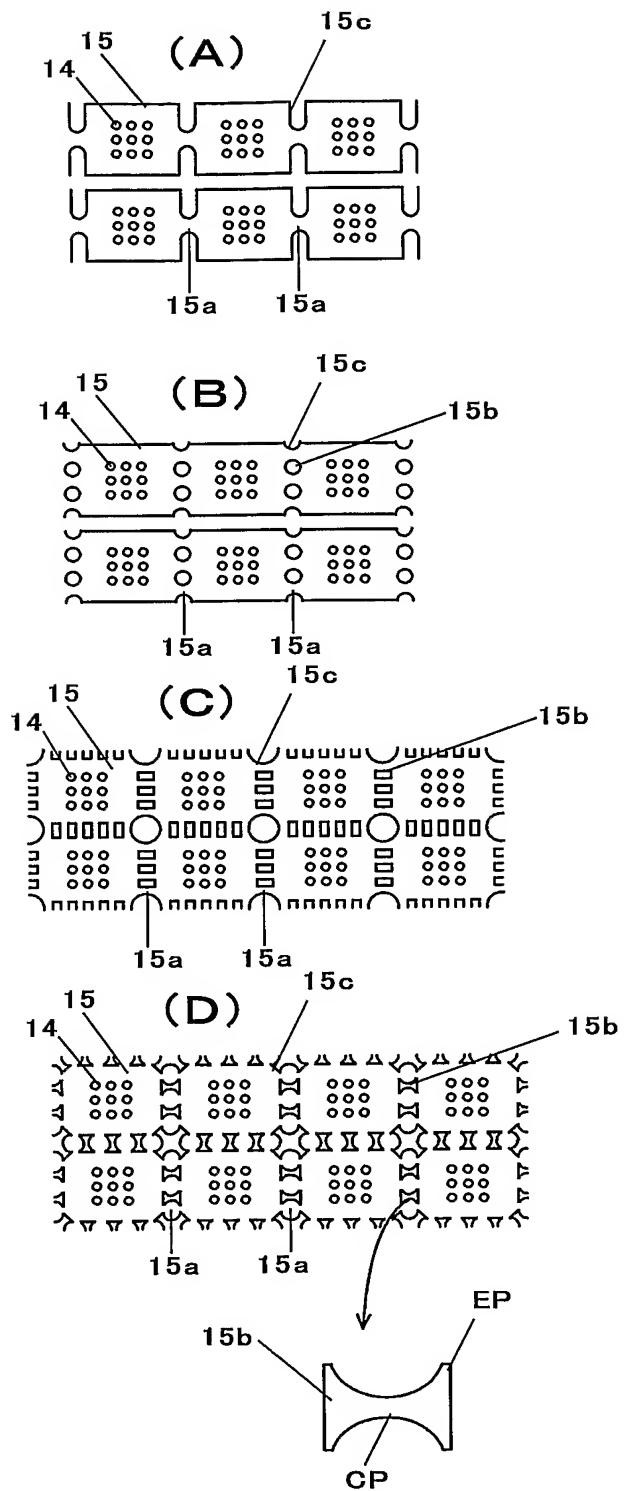
10/16

図 19



11/16

図20



12/16

図21

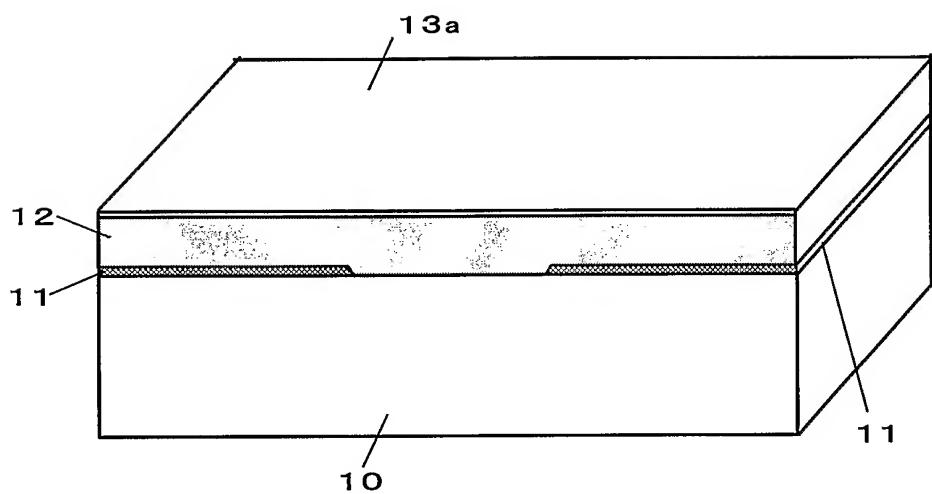
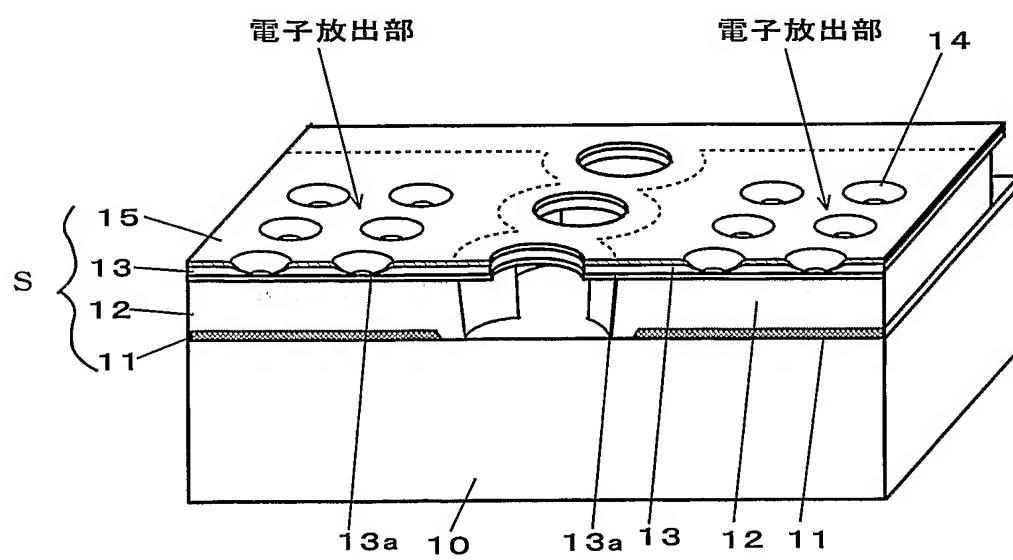


図22



13/16

図23

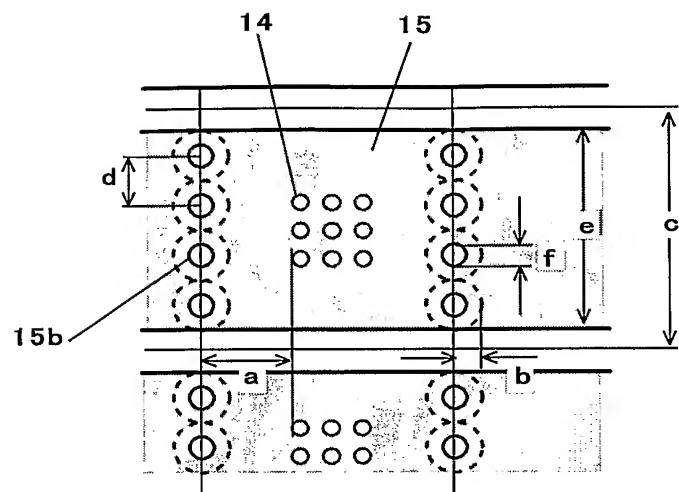


図24

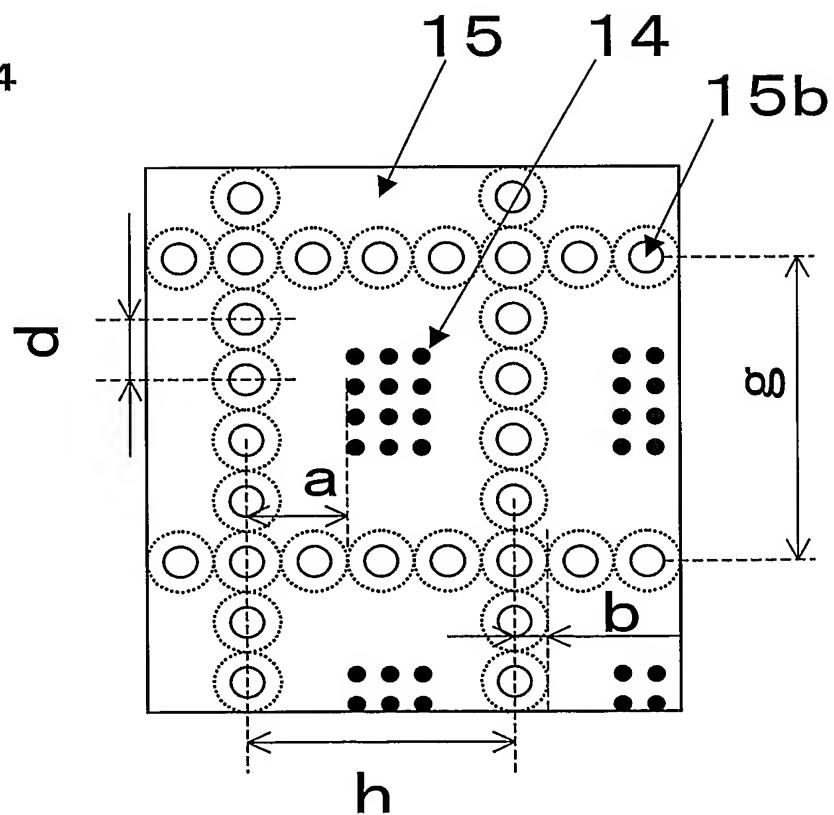


図25

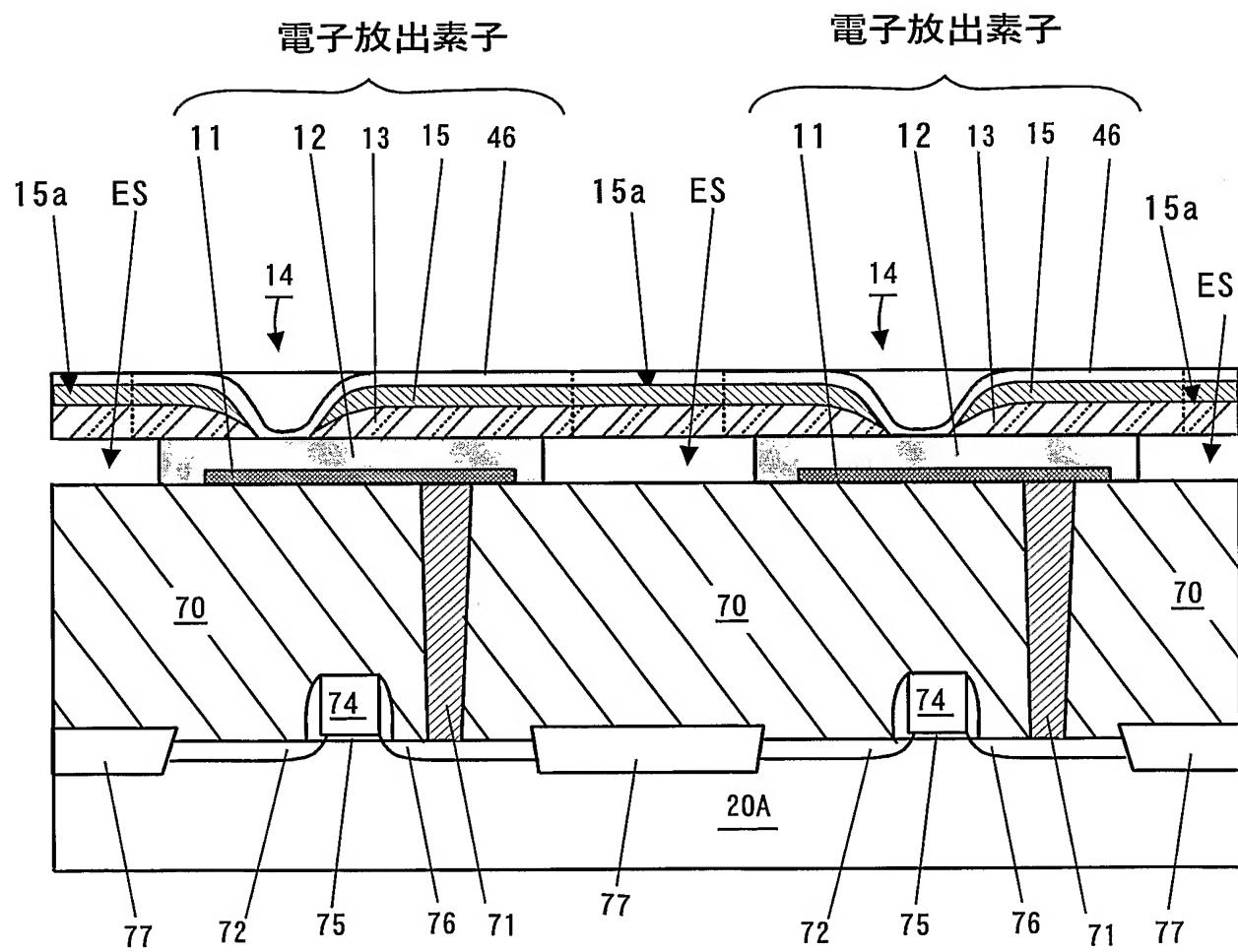
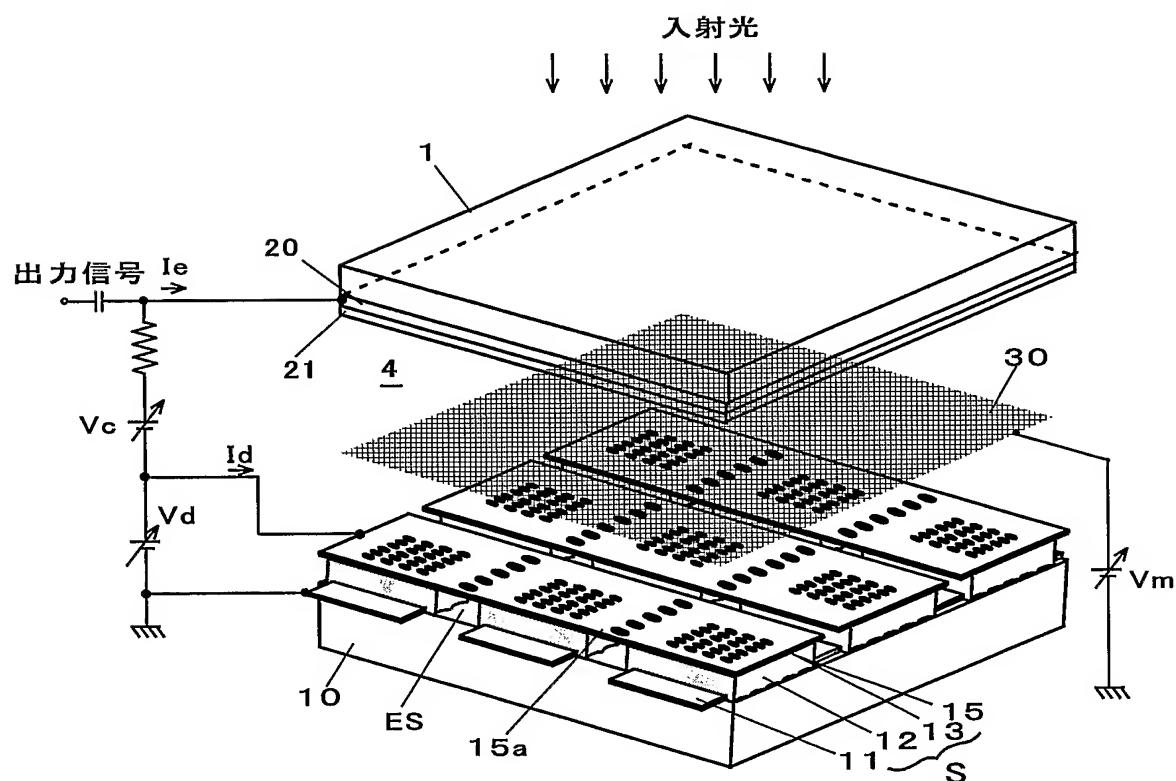
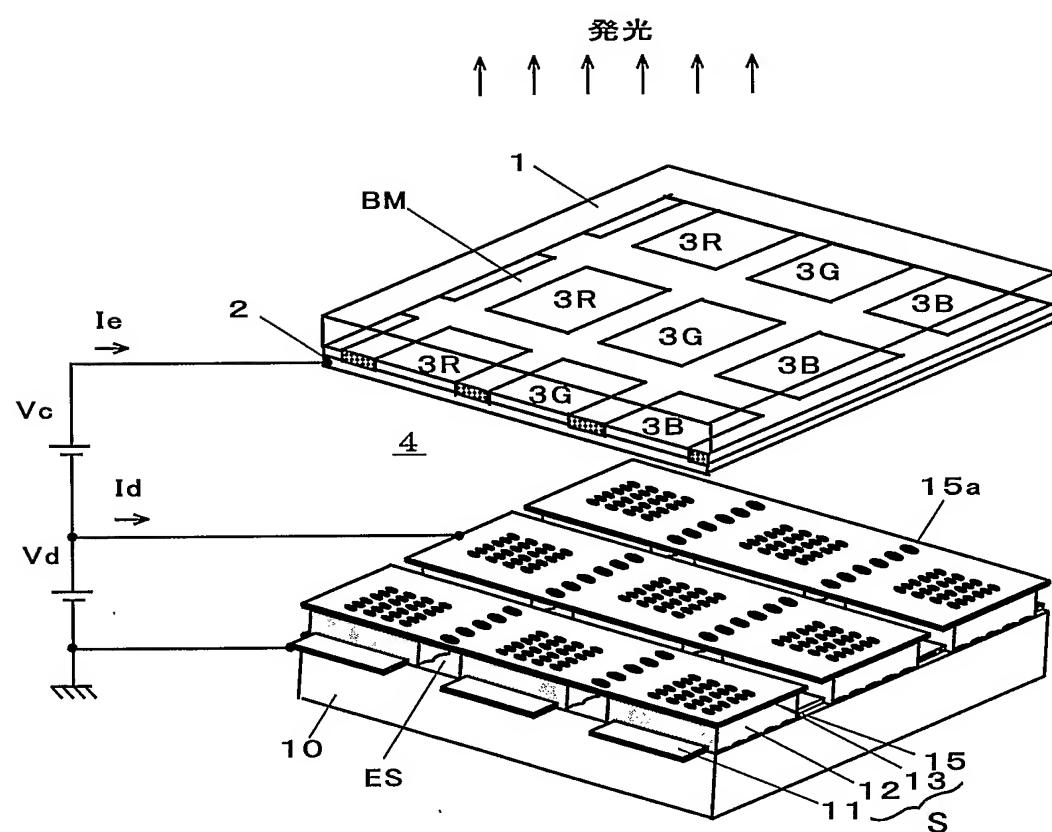


図26



16/16

図27



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005643

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01J1/312, 9/02, 31/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01J1/312, 9/02, 31/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-503061 A (Ecole Polytechnique Federale de Lausanne), 29 January, 2004 (29.01.04), Par. Nos. [0021] to [0023], [0027] to [0028]; Figs. 1, 3 & WO 02/003505 A1	1, 4-6, 26-28
Y	WO 2003/049132 A1 (PIONEER CORP.), 12 June, 2003 (12.06.03), Full text; all drawings & JP 2005-512280 A	7, 9-16, 24-25 2-3, 8, 17-23
Y	JP 2000-188058 A (Canon Inc.), 04 July, 2000 (04.07.00), Par. No. [0325] & EP 923104 A2 & US 6472814 B1	24-25

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 June, 2005 (17.06.05)Date of mailing of the international search report
05 July, 2005 (05.07.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl.⁷ H01J1/312, 9/02, 31/12

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl.⁷ H01J1/312, 9/02, 31/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2004-503061 A (エコル ポリテクニック フェデラル ドゥ ロ ーザンヌ) 2004. 01. 29	1, 4-6, 26-28
Y	【0021】-【0023】、【0027】-【0028】段落、第 1、3図 & WO 02/003505 A1	7, 9-16, 24-25
A		2-3, 8, 17-23
Y	WO 2003/049132 A1 (PIONEER CORPORATION) 2003. 06. 12 全文、全図 & JP 2005-512280 A	7, 9-16

 C欄の続きにも文献が列挙されている。

「パテントファミリーに関する別紙を参照。」

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示す
もの
「E」国際出願目前の出願または特許であるが、国際出願日
以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行
日若しくは他の特別な理由を確立するために引用す
る文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願目前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって
出願と矛盾するものではなく、発明の原理又は理論
の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明
の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以
上の文献との、当業者にとって自明である組合せに
よって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日 17. 06. 2005	国際調査報告の発送日 05.07.2005
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許序審査官（権限のある職員） 松岡 智也 電話番号 03-3581-1101 内線 3226

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 2000-188058 A (キヤノン株式会社) 2000.07.04 【0325】段落 &EP 923104 A2 & US 6472814 B1	24-25